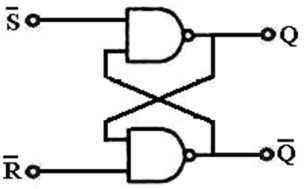
آزمایش٦: لَچ‌ها و فلیپ‌فلاپ‌ها

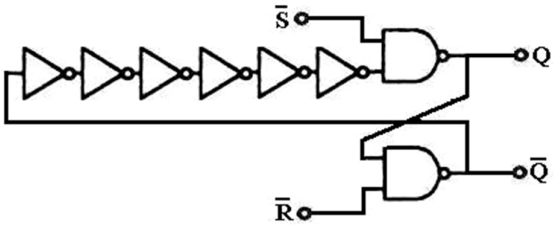
هدف آزمایش: پیاده‌سازی لَچ[1] SR و بررسی شرایط مسابقه[2]، بررسی عملی محدودیت‌های زمانی فلیپ‌فلاپ D

وسایل و قطعات مورد نیاز: آی‌سی‌های ٧٤٧٤، ٧٤٠٤ و ٧٤٠٠، مقاومت ١٠ کیلواهم و خازن ١٠ نانوفاراد.

مدار فلیپ‌فلاپ SR شکل-١ را ببندید و ستون مربوط به آزمایش اول در جدول-١ را با اعمال حالات ذکر شده (تا $N = 5$) تکمیل نمایید. حال برای تحریک همزمان و یکسان هر دو ورودی، ورودی‌های S و R را به هم وصل کنید. برای دیدن پدیده RACE ادامه جدول را (برای $N > 5$) تکمیل نمایید. این پدیده چه نامیده می‌شود و علت آن چیست؟



شکل ١ مدار لَچ SR.



شکل ٢ مدار لَچ SR اصلاح شده.

جدول-١			آزمایش اول		آزمایش دوم	
N	R	S	Q_n	$\overline{Q_n}$	Q_n	$\overline{Q_n}$
1	0	1				
2	1	1				
3	1	0				
4	1	1				
5	0	0				
6	1	1				
7	0	0				
8	1	1				
9	0	0				
10	1	1				
11	0	0				
12	1	1				
13	0	0				
14	1	1				
15	0	0				
16	1	1				
17	0	0				
18	1	1				
19	0	0				
20	1	1				

[1] Latch

[2] Race condition

مدار شکل-۲ را ببندید. ستون مربوط به آزمایش دوم در جدول-۱ را تکمیل کنید و علت برطرف شدن «شرایط مسابقه» را توضیح دهید.

آی‌سی ۷٤۷٤ شامل دو عدد فلیپ‌فلاپ D از نوع حساس به لبه مثبت[1] می‌باشد. این فلیپ‌فلاپ‌ها دارای محدودیت‌های زمانی زیر می‌باشند:

زمان آماده‌سازی[2]: حداقل زمانی که بیت داده باید قبل از رسیدن لبه بالارونده پالس ساعت حاضر باشد.

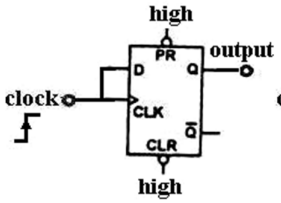
زمان نگهداری[3]: حداقل زمانی که بیت داده باید پس از رسیدن لبه بالارونده پالس ساعت حاضر باشد.

مدار شکل-۳ را ببندید. ابتدا فلیپ‌فلاپ را Clear کنید. پالس ساعت را اعمال کنید. آیا تغییری مشاهده می‌کنید؟ علت چیست؟

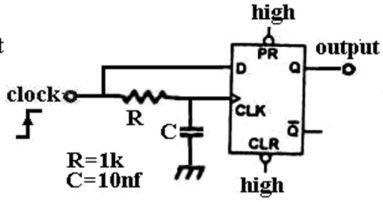
مدار شکل-٤ را ببندید و پس از Clear کردن فلیپ‌فلاپ، پالس ساعت را اعمال کنید. آیا تغییری مشاهده می‌کنید؟ چرا؟

مدار شکل-۵ را ببندید و پس از Preset کردن فلیپ‌فلاپ، پالس ساعت را اعمال کنید. آیا تغییری مشاهده می‌کنید؟ چرا؟

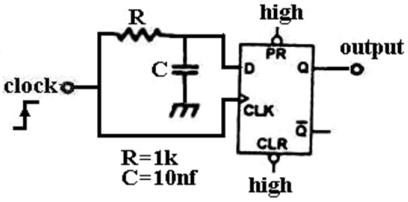
سؤال-۷ : آیا می‌توان RC را با مدار دیگری جایگزین کرد؟



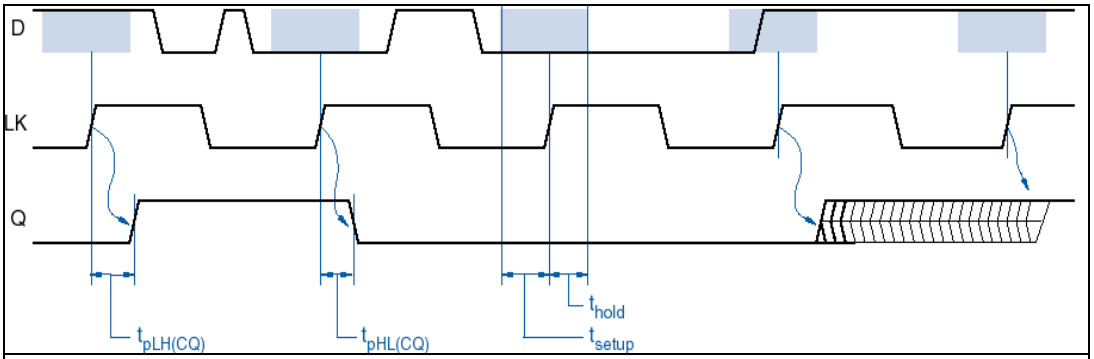
شکل ۳



شکل ٤



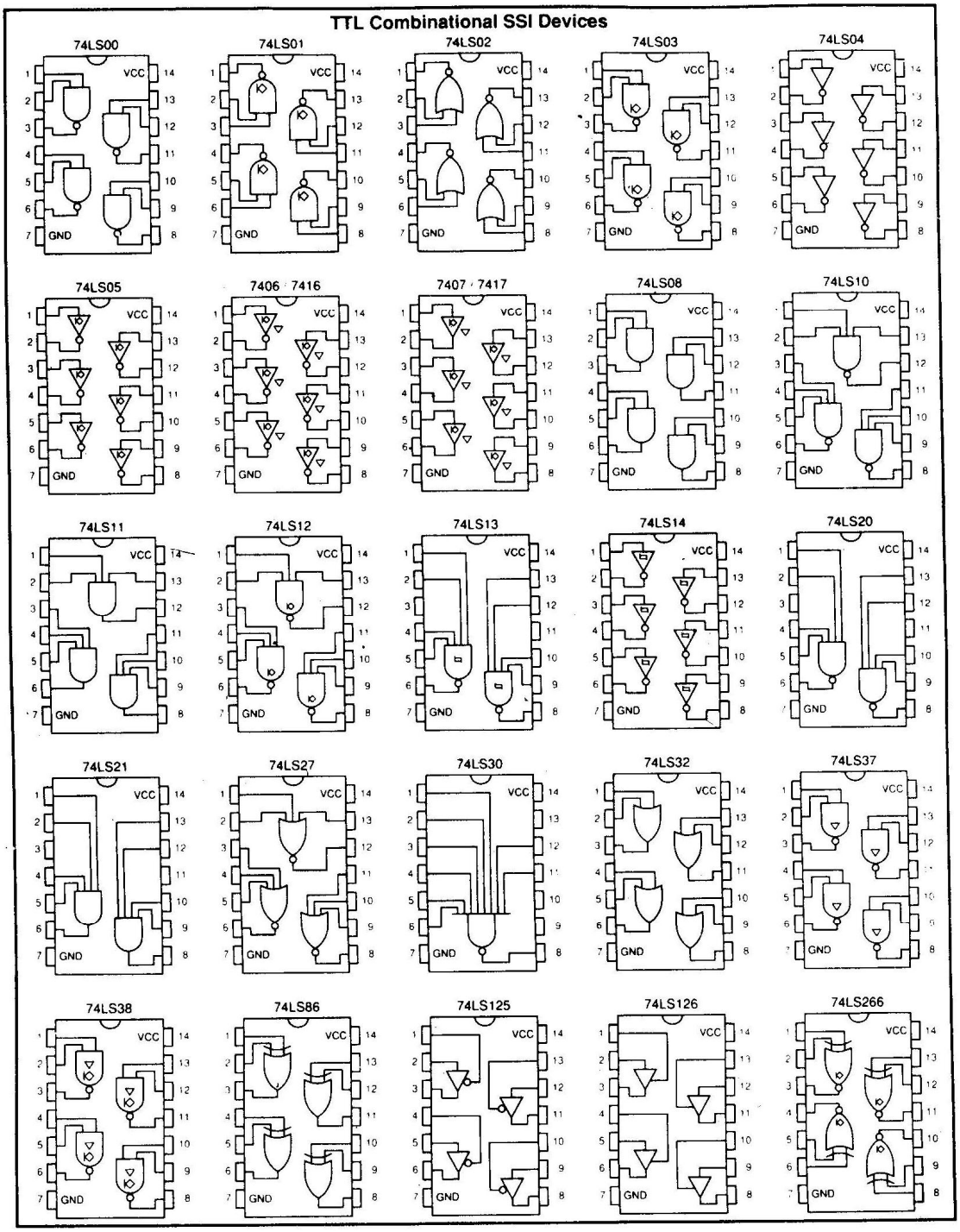
شکل ۵



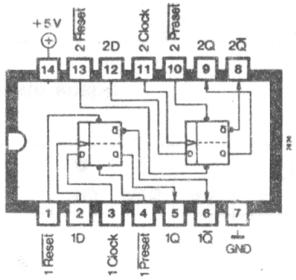
شکل٦ محدودیت‌های زمانی فلیپ‌فلاپ D

[1] Positive-edge sensitive [2] Setup time [3] Hold time

پیوست ح : اطلاعات فنی آی‌سی‌های مورد استفاده



دستگاه آزمایشگاهی مدارهای منطقی / دیجیتال ۱
https://amaleki.profile.semnan.ac.ir/



Description:
This package contains two D-type positive-edge-triggered flip-flops with separate preset and clear inputs.

Mode of operation:
Each flip-flop can be used independently.
Data at the D-input is transferred to output Q (and inverted to output $\overline{Q}$) whenever the clock input changes from low to high. Until this rising clock edge occurs, no change of data at the D-input will result in a change in the output.
If D is high, Q goes high and $\overline{Q}$ goes low when triggered by the clock pulse.
If D is low, Q goes low and $\overline{Q}$ goes high when triggered by the clock pulse.
Data on the D-input can be changed at any time. What counts is the level at the moment that the clock goes from low to high. This state is then latched.
For normal operation, the $\overline{\text{Preset}}$ and $\overline{\text{Reset}}$ inputs should be held high. If the $\overline{\text{Reset}}$ input is taken low, Q goes low and $\overline{Q}$ goes high. If the $\overline{\text{Preset}}$ input is taken low, Q immediately goes high and Q goes low. These two inputs should never be low simultaneously, since an unstable state is created which is not retained once $\overline{\text{Preset}}$ and $\overline{\text{Reset}}$ become inactive (high).

Inputs				Outputs	
$\overline{\text{Preset}}$	$\overline{\text{Reset}}$	Clock	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	no change	
H	H	H	X	no change	
H	H	↓	X	no change	

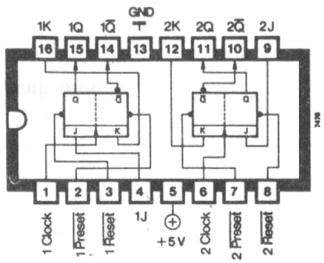
* unstable state

Application:
Registers, counters, control circuits

Data:									
Minimum guaranteed clock frequency	MHz	15	34	105	100	35	2.5	25	75
Propagation delay	ns	17	10	6	4	13	65	19	6
Supply current	mA	17	1.2	5	10	30	1.6	4	30
Families:		Std	ALS	AS	F	H	L	LS	S
		●	●	●	●	●	●	●	●

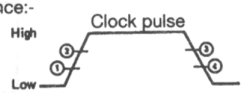
Dual D-TYPE FLIP-FLOP with preset and clear

7474



Description:
This package comprises two JK flip-flops with preset and clear.

Mode of operation:
Each flip-flop can be used independently.
The standard TTL, H and L versions are positive pulse-triggered. In this version, the information present at the J and K inputs is transferred on the high-to-low transition (negative edge) of the positive clock pulse, according to the following sequence:-
1) The slave is separated from the master.
2) Data on the J and K inputs reaches the master.
3) The J and K inputs are isolated.
4) Data is transferred from the master to the slave.



Whilst the clock is high, data on the J and K inputs must not change.
The LS version, which is negative-edge triggered, allows the logical state of the inputs to change while the clock signal is high.
When triggered by the clock pulse, if J is high and K is low, Q goes high and $\overline{Q}$ goes low.
When triggered by the clock pulse, if J is low and K is high, Q goes low and $\overline{Q}$ goes high.
If both J and K are low, the clock pulse changes the states of Q and $\overline{Q}$, permitting binary division.
If both J and K are low, the clock pulse causes no change on the outputs.
For normal operation, the Preset and Reset inputs should be high. If a Reset input is taken low, output Q immediately goes low and $\overline{Q}$ goes high. If the Preset input is taken low, then Q immediately goes high and Q goes low. These two inputs should never be low simultaneously, since an unstable state occurs which is not retained once either or both inputs return to the inactive state (high).

Application:
Registers, counters, control circuits

Data:									
Minimum guaranteed clock frequency	MHz	15				25		30	
Propagation delay	ns	20				18		15	
Supply current	mA	20				32		4	
Families:		Std	ALS	AS	F	H	L	LS	S
		●				●		●	

Dual JK FLIP-FLOP with preset and clear

7476