مبحث پنجم

منطق ترتیبی همزمان

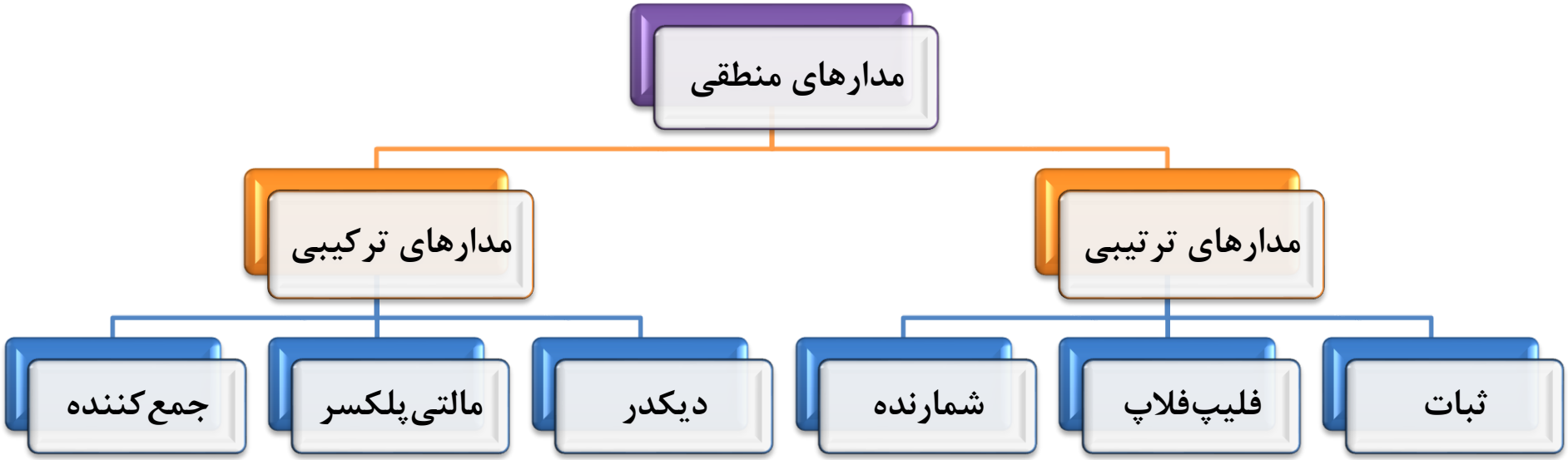
Synchronous Sequential Logic

Presented by Ali Maleki Fall Semester, 2021

فهرست مطالب

- مقدمه ای بر مدارهای ترتیبی
- عناصر ذخیره ساز
- لَچ ها
- فلیپ فلاپ ها
- تحلیل مدارهای ترتیبی ساعت دار
- ماشین حالت محدود
- کاهش و تخصیص حالت
- طراحی مدارهای ترتیبی همزمان
- مثال‌های طراحی

یادآوری



مدار ترکیبی: مداری شامل گیت‌های منطقی که خروجی‌های آن تنها به ورودی‌ها در همان زمان وابسته است.

مدار ترتیبی: مداری شامل گیت‌های منطقی و عناصر حافظه که خروجی‌های آن علاوه بر ورودی‌ها، به حالت مدار در آن زمان نیز وابسته است.

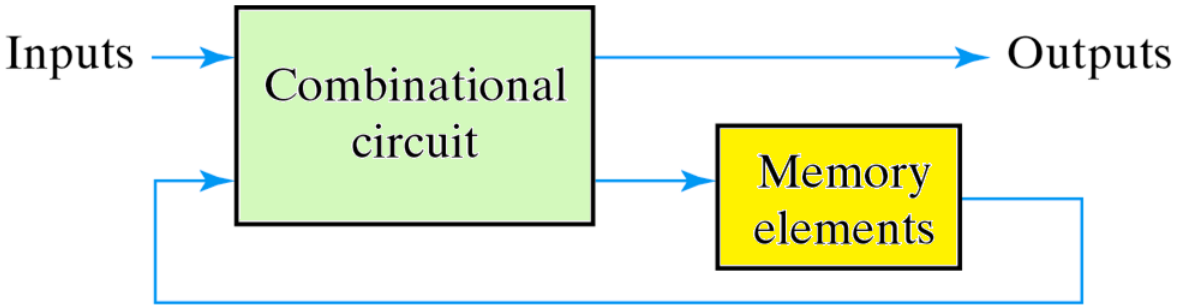
واژه‌نامه:

مدار منطقی ترکیبی: Combinational Logic, Combinatorial Logic

مدار منطقی ترتیبی: Sequential Logic

مدارهای ترتیبی (sequential circuits)

مدارهای منطقی ترتیبی:



عناصر حافظه (Memory elements)

حالت مدار ترتیبی (State)

مدارهای ترتیبی (sequential circuits)

✓ تقسیم‌بندی مدارهای ترتیبی

مدارهای ترتیبی همزمان (Synchronous)

مدارهای ترتیبی غیرهمزمان (Asynchronous)

✓ عناصر حافظه در مدارهای ترتیبی

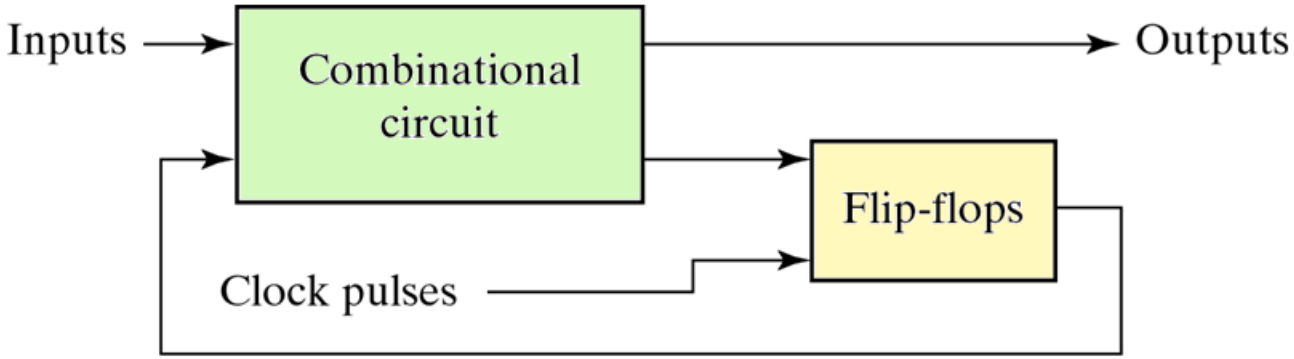
در مدارهای ترتیبی همزمان: فلیپ‌فلاپ (flip-flop)

در مدارهای ترتیبی غیرهمزمان: عناصر تاخیر زمانی (تاخیر انتشار گیت‌ها)

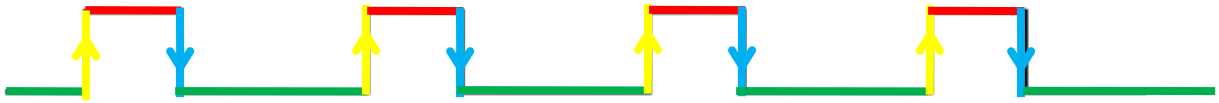
عامل همزمانی در مدارهای ترتیبی همزمان: ساعت (clock)

مدارهای ترتیبی (sequential circuits)

✓ **مدارهای ترتیبی ساعت‌دار همزمان (Synchronous Clocked Sequential Circuit)**



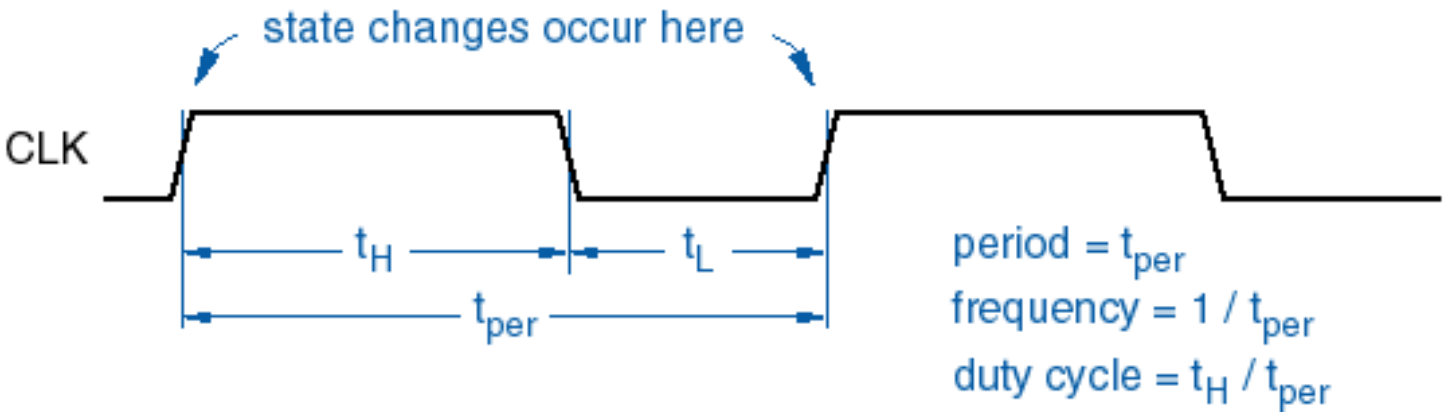
Block diagram



Timing diagram of clock pulses

تحلیل مدارهای ترتیبی ساعت‌دار (Clocked Sequential Circuit)

✓ساعت (clock)



فهرست مطالب

- ☑ مقدمه‌ای بر مدارهای ترتیبی
- ☐ عناصر ذخیره‌ساز
- ☐ لَچ‌ها
- ☐ فلیپ‌فلاپ‌ها
- ☐ تحلیل مدارهای ترتیبی ساعت‌دار
- ☐ ماشین حالت محدود
- ☐ کاهش و تخصیص حالت
- ☐ طراحی مدارهای ترتیبی همزمان
- ☐ مثال‌های طراحی

عناصر ذخیره‌ساز (Storage Elements)

✓ **لَچ‌ها:**

با سطح سیگنال عمل می‌کنند.

حساس به سطح هستند (Level Sensitive).

✓ **فلیپ‌فلاپ‌ها:**

با گذر سیگنال ساعت از یک سطح به سطح دیگر فعال می‌شوند.

حساس به لبه هستند (Edge Sensitive).

همه‌ی فلیپ‌فلاپ‌ها با لَچ ساخته می‌شوند.

✓ **لَچ‌ها:**

لَچ SR

لَچ D

✓ **فلیپ‌فلاپ‌ها:**

فلیپ‌فلاپ D

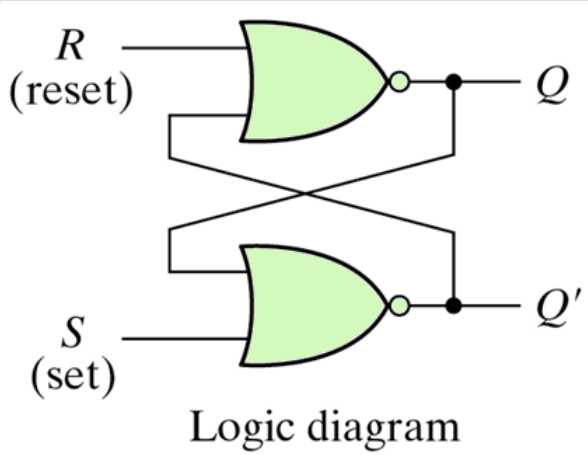
فلیپ‌فلاپ JK

فلیپ‌فلاپ T

فهرست مطالب

- ☑ مقدمه‌ای بر مدارهای ترتیبی
- ☑ عناصر ذخیره‌ساز
- ☐ لَچ‌ها
- ☐ فلیپ‌فلاپ‌ها
- ☐ تحلیل مدارهای ترتیبی ساعت‌دار
- ☐ ماشین حالت محدود
- ☐ کاهش و تخصیص حالت
- ☐ طراحی مدارهای ترتیبی همزمان
- ☐ مثال‌های طراحی

لَچ SR (SR Latch)



Logic diagram

لَچ SR با گیت‌های NOR:

حالت‌های مفید لَچ :

حالت Set (Q=1 Q’=0)

حالت Reset (Q=0 Q’=1)

مثال:

برای لَچ SR شکل بالا، جدول عملکرد روبرو را با رعایت ترتیب ورودی‌ها تکمیل نمایید.

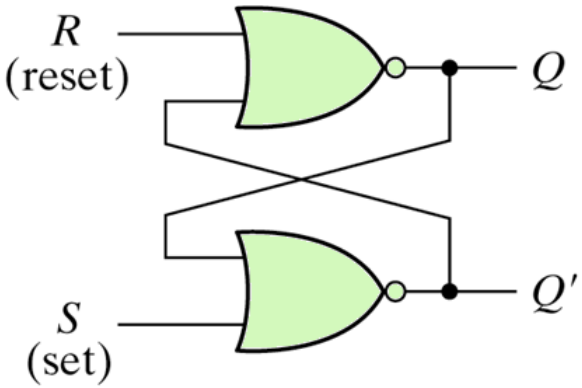
Function table

S	R	Q	Q'	
1	0	1	0	
0	0	1	0	(after $S = 1, R = 0$)
0	1	0	1	
0	0	0	1	(after $S = 0, R = 1$)
1	1	0	0	

جدول عملکرد یا جدول درستی؟

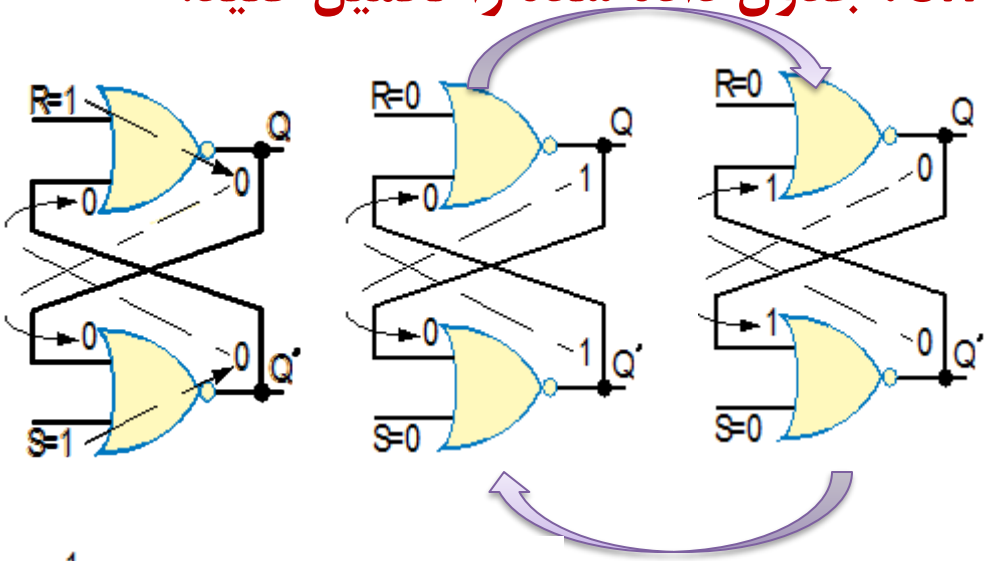
آیا این خروجی با انتظار ما تناقض ندارد؟

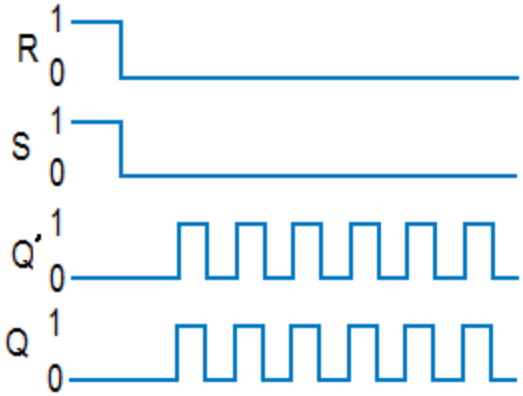
شرایط مسابقه (Race Condition)



S	R	Q	Q'
1	1	0	0
0	0	Race Condition	

برای لَچ SR ، جدول داده شده را تکمیل کنید.

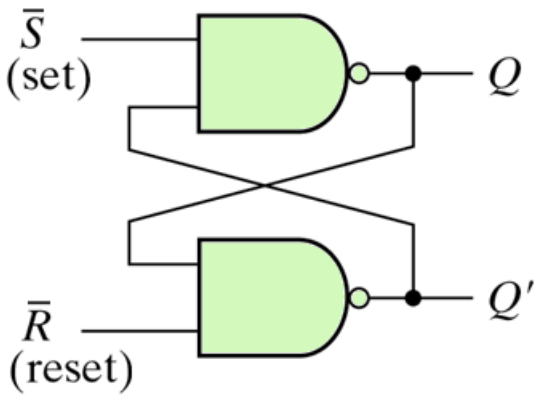




ولی در واقعیت، ....

لَچ SR (SR Latch)

لَچ SR با گیت‌های NAND:



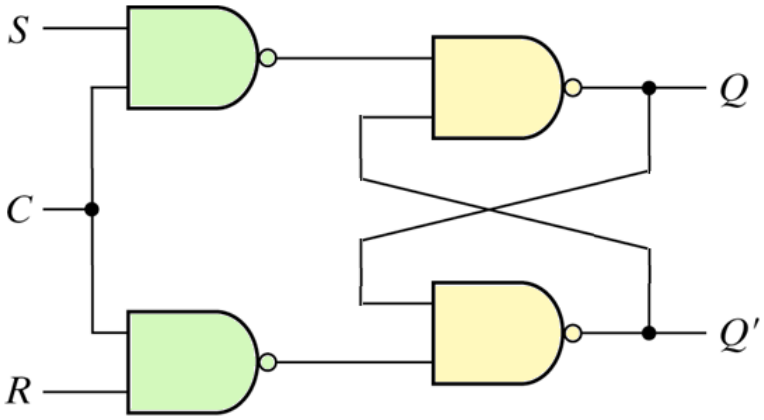
مثال:

برای لَچ SR شکل بالا، جدول عملکرد را با رعایت ترتیب ورودی‌ها تکمیل نمایید.

$\bar{S}$	$\bar{R}$	Q	Q'	Function table
1	0	0	1	
1	1	0	1	(after $S = 1, R = 0$)
0	1	1	0	
1	1	1	0	(after $S = 0, R = 1$)
0	0	1	1	

لَچ SR (SR Latch)

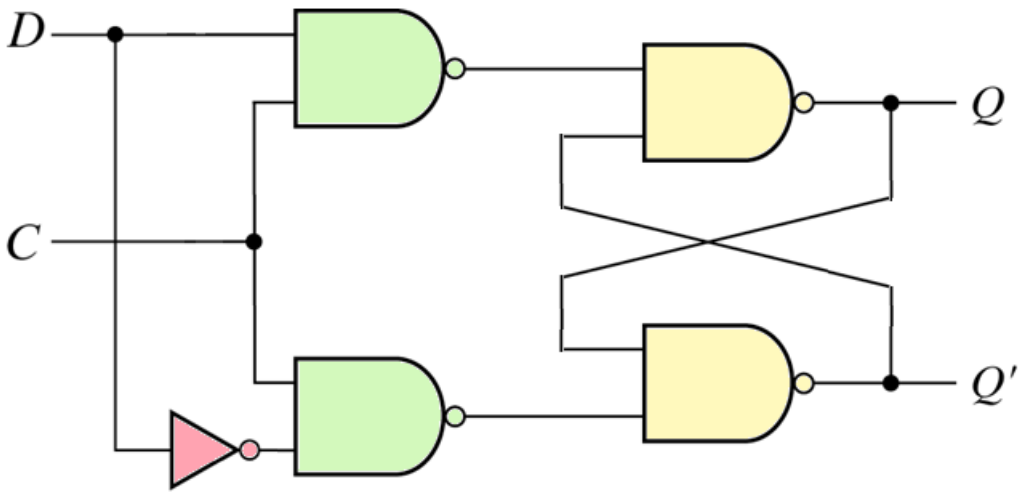
لَچ SR با ورودی کنترل:



Function table

C	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	$Q = 0$; Reset state
1	1	0	$Q = 1$; set state
1	1	1	Indeterminate

لَچ D (D Latch – Transparent Latch)



Function table

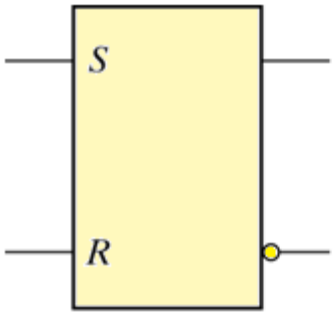
C	D	Next state of Q
0	X	No change
1	0	Q = 0; Reset state
1	1	Q = 1; Set state

✓ **پشتوانه‌ی این نامگذاری:**

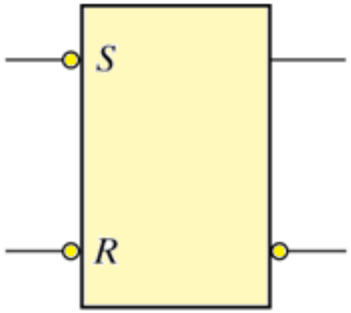
لَچ D: قابلیت نگهداری داده (Data)

لَچ شفاف: وجود نداشتن حالت نامعین یا غیرمجاز

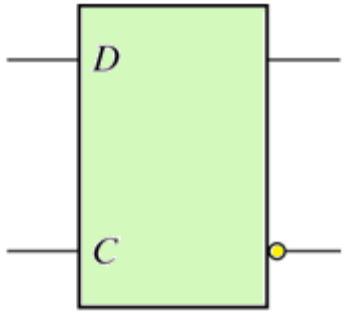
نمادهای ترسیمی برای لَچ‌ها



NOR Gate Latch



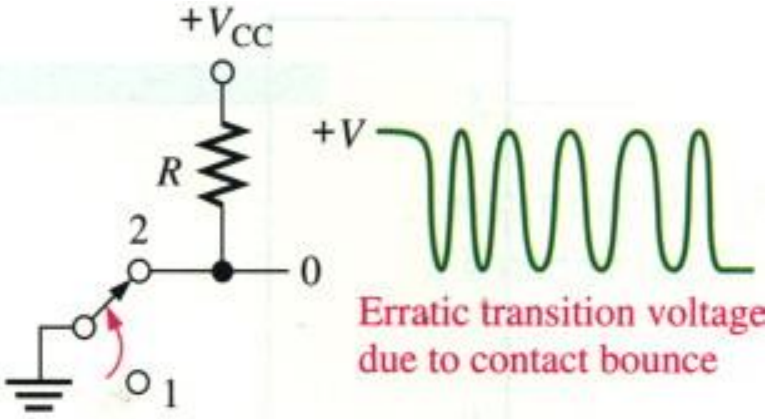
NAND Gate Latch



D Latch

مدارهای کاربردی: مدار حذف نوسان کلید (Debouncer)

نوسان کلید چیست؟

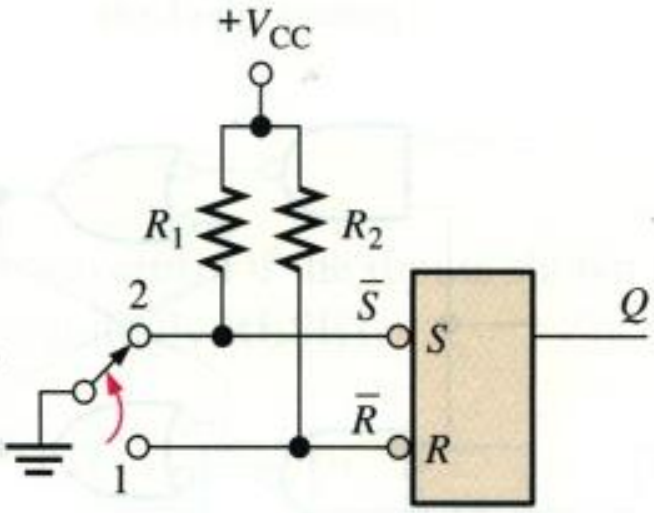


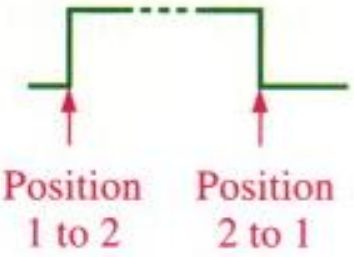
(a) Switch contact bounce

حذف نوسان کلید:

وقتی کلید در حال جدا شدن از موقعیت ۱ است.

وقتی کلید در حال اتصال به موقعیت ۲ است.



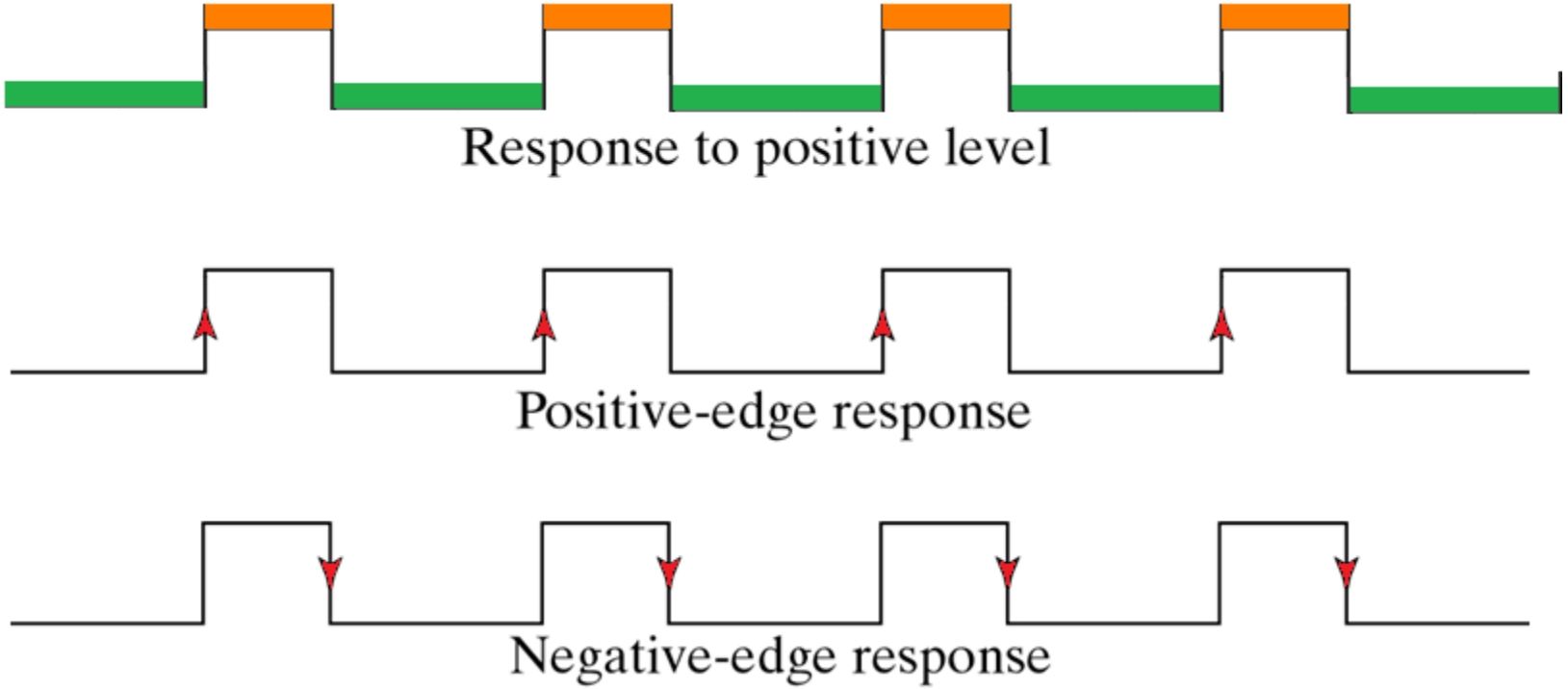


(b) Contact-bounce eliminator circuit

فهرست مطالب

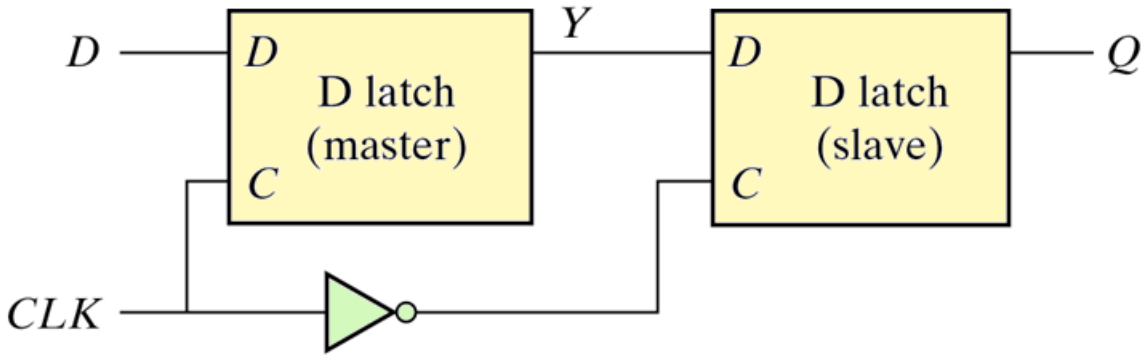
- ☑ مقدمه‌ای بر مدارهای ترتیبی
- ☑ عناصر ذخیره‌ساز
- ☑ لَچ‌ها
- ☐ فلیپ‌فلاپ‌ها
- ☐ تحلیل مدارهای ترتیبی ساعت‌دار
- ☐ ماشین حالت محدود
- ☐ کاهش و تخصیص حالت
- ☐ طراحی مدارهای ترتیبی همزمان
- ☐ مثال‌های طراحی

فلیپ‌فلاپ‌ها


Response to positive level
Positive-edge response
Negative-edge response

فلیپ‌فلاپ D تحریک‌شده با لبه (Edge-triggered)

فلیپ‌فلاپ master-slave



این فلیپ‌فلاپ با کدام لبه کار می‌کند؟

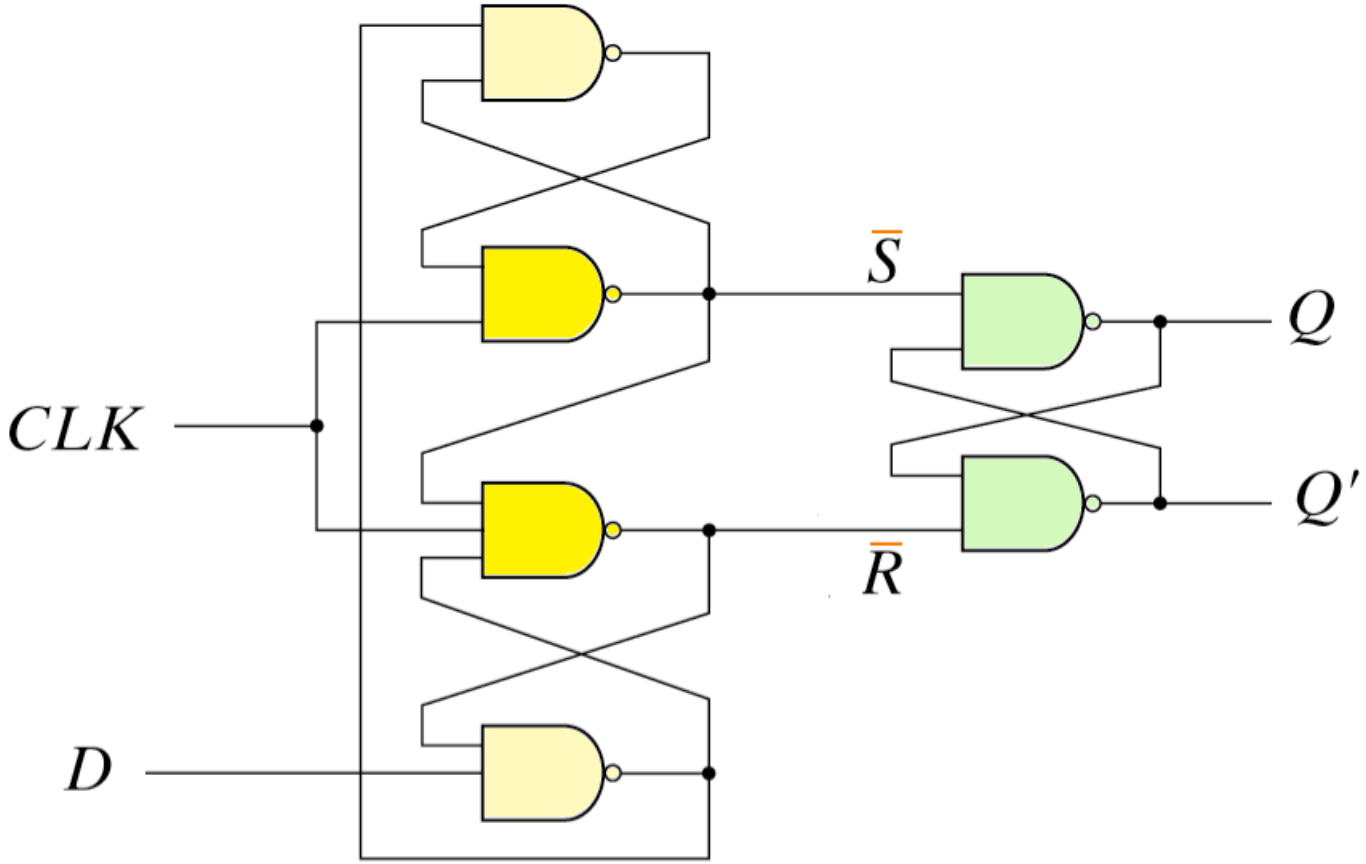
با لبه‌ی منفی (Negative-edge-triggered flip-flop)

چگونه می‌توان این فلیپ‌فلاپ را به تحریک شده با لبه‌ی مثبت تبدیل نمود؟

فلیپ‌فلاپ D تحریک‌شده با لبه (Edge-triggered)

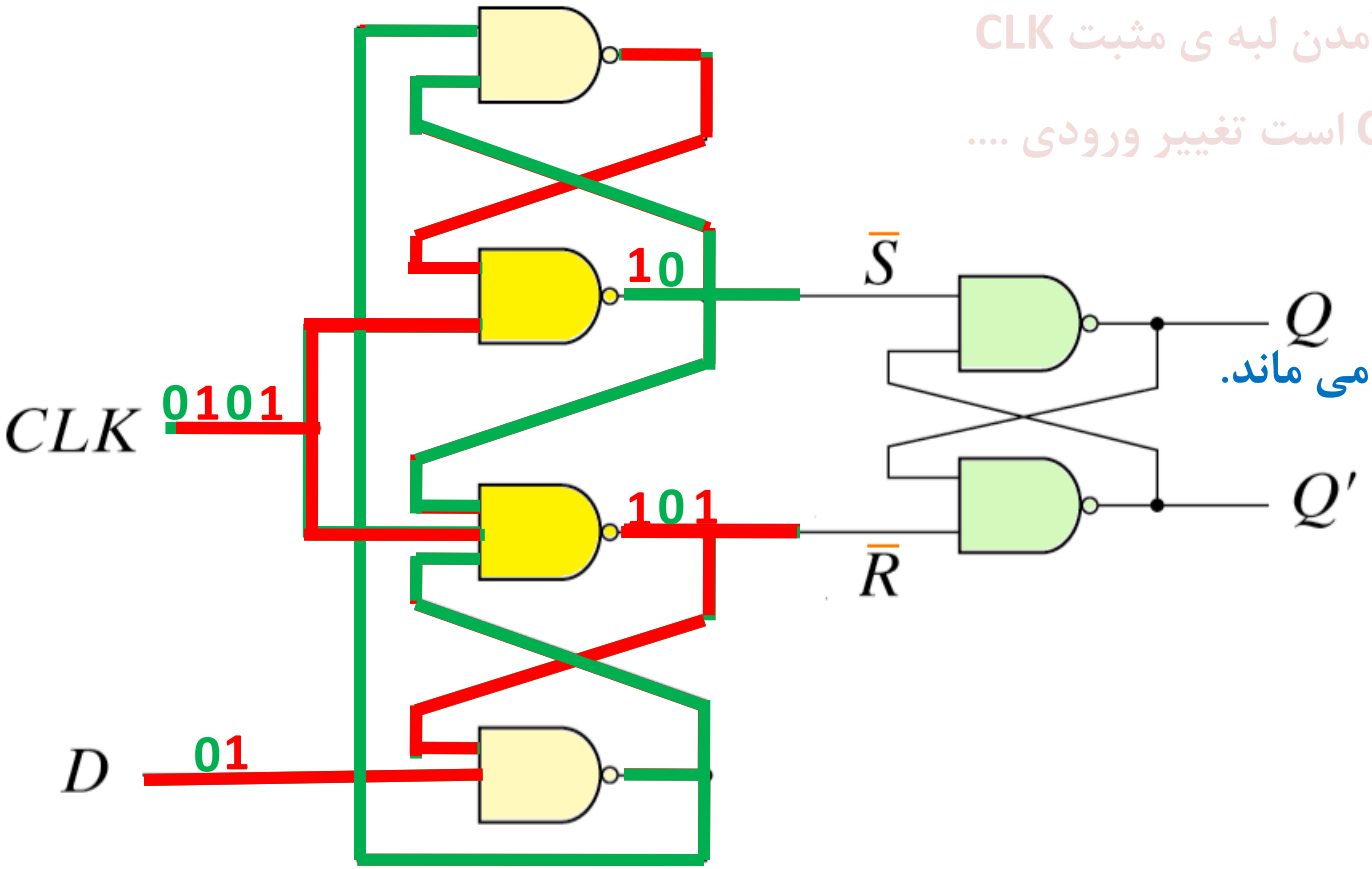
✓ فلیپ‌فلاپ تحریک‌شده با لبه‌ی مثبت

✓ **Positive-edge-triggered flip-flop**



فلیپ‌فلاپ D تحریک‌شده با لبه (Edge-triggered)

- وقتی CLK=0 است.
- وقتی D=0 است با آمدن لبه ی مثبت CLK
- وقتی D=0 و CLK=1 است تغییر ورودی ....
- وقتی D=1 است با آمدن لبه ی مثبت CLK
- وقتی D=1 و CLK=1 است تغییر ورودی ....



خروجی بدون تغییر باقی می ماند.

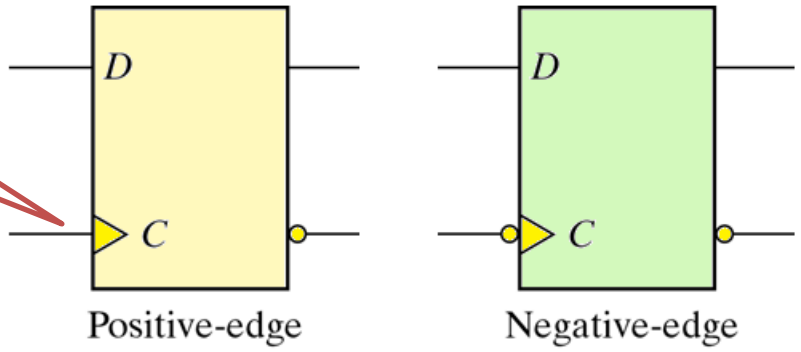
خروجی Q=0 می شود.

خروجی Q=1 می شود.

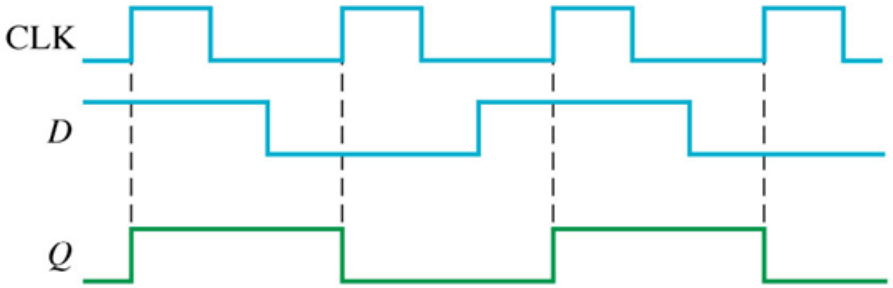
نمادهای ترسیمی برای فلیپ‌فلاپ D تحریک‌شده با لبه

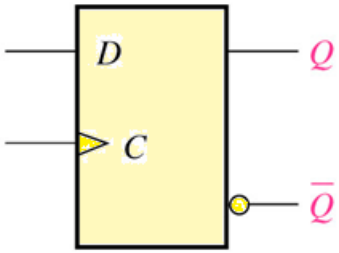
نشانگر ورودی دینامیک

(dynamic input indicator)



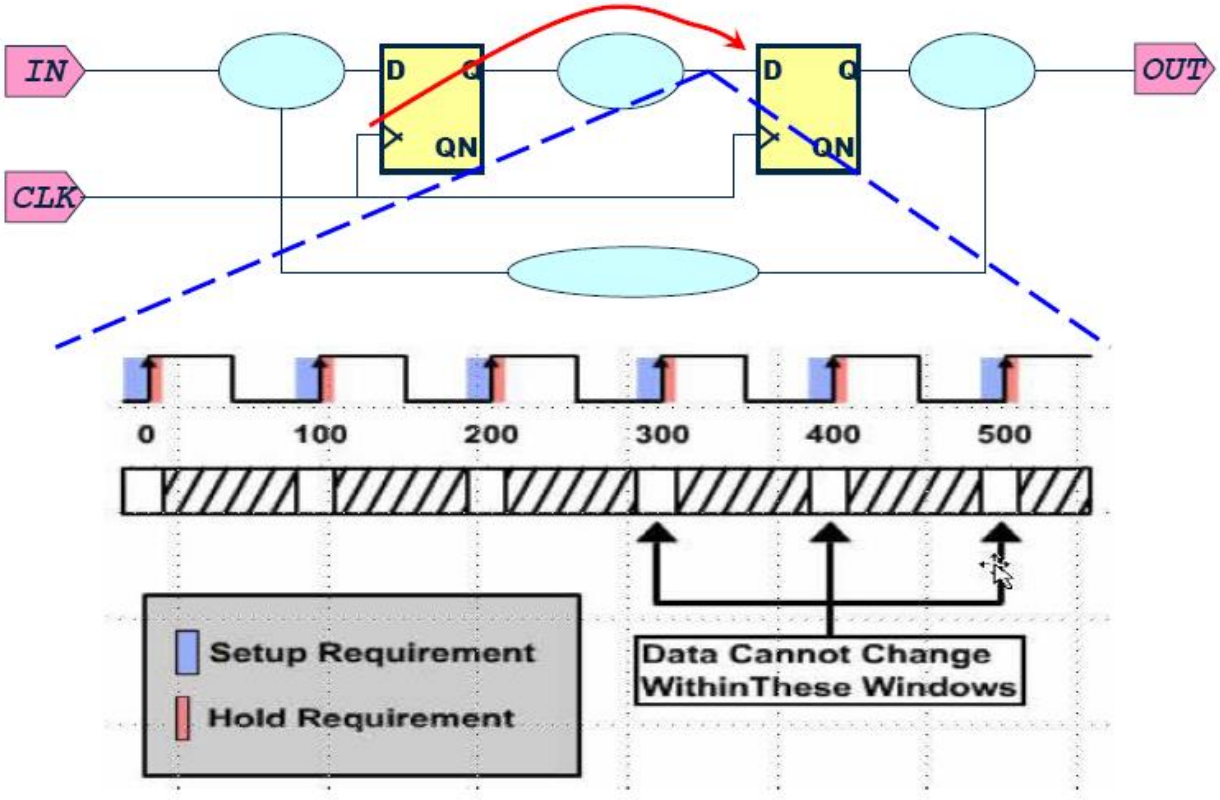
✓ بررسی عملکرد فلیپ‌فلاپ D به کمک نمودار زمانی





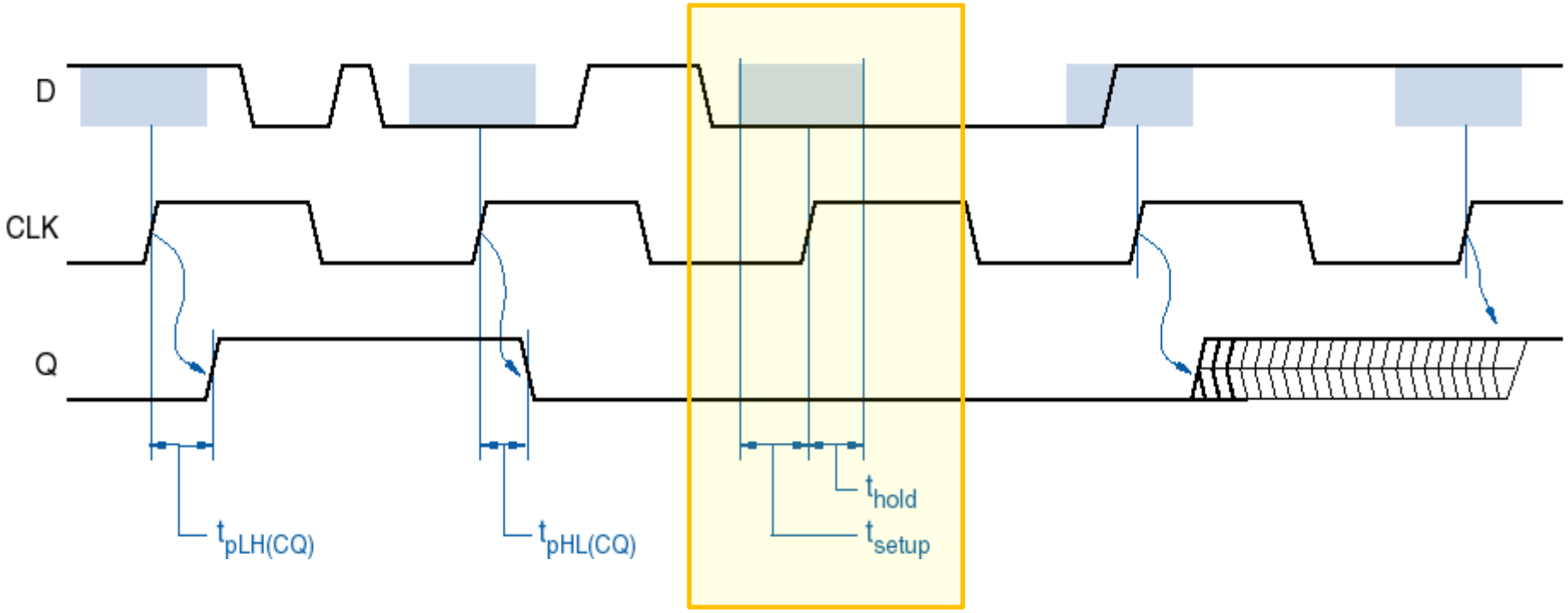
محدودیت‌های زمانی فلیپ‌فلاپ D

- ✓ زمان آماده‌سازی (setup time)
- ✓ زمان نگهداری (hold time)

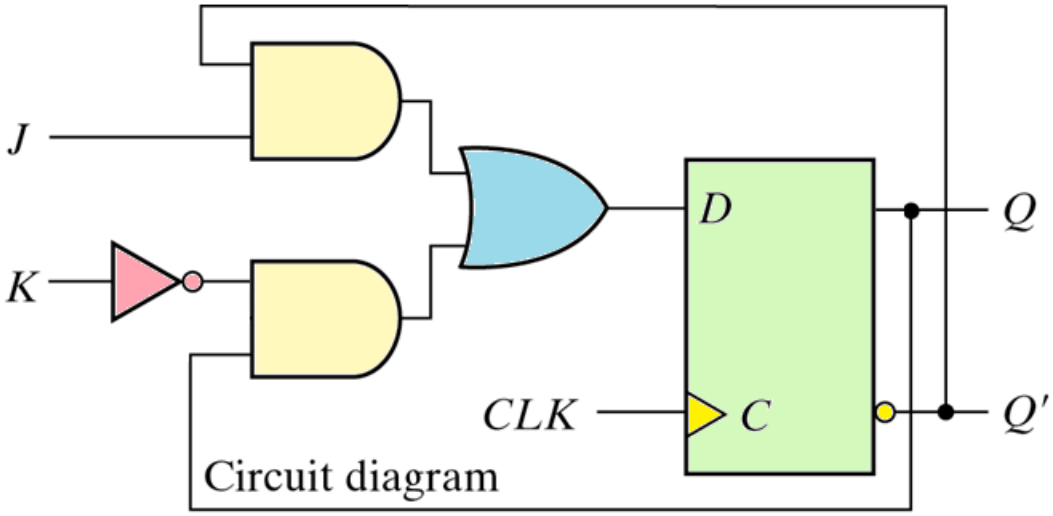


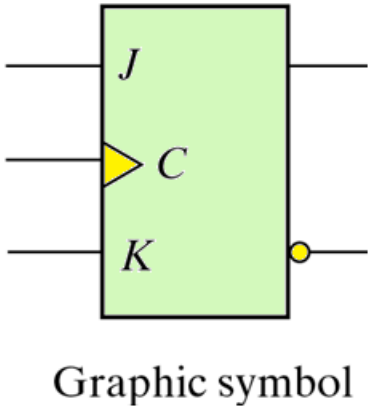
محدودیت های زمانی فلیپ فلاپ D

- زمان انتشار (propagation time)
- زمان آماده‌سازی (setup time)
- زمان نگهداری (hold time)



فلیپ فلاپ JK





✓شیوه‌ی عملکرد

D=JQ'+K'Q

J=0 K=0 ⟹ D=Q

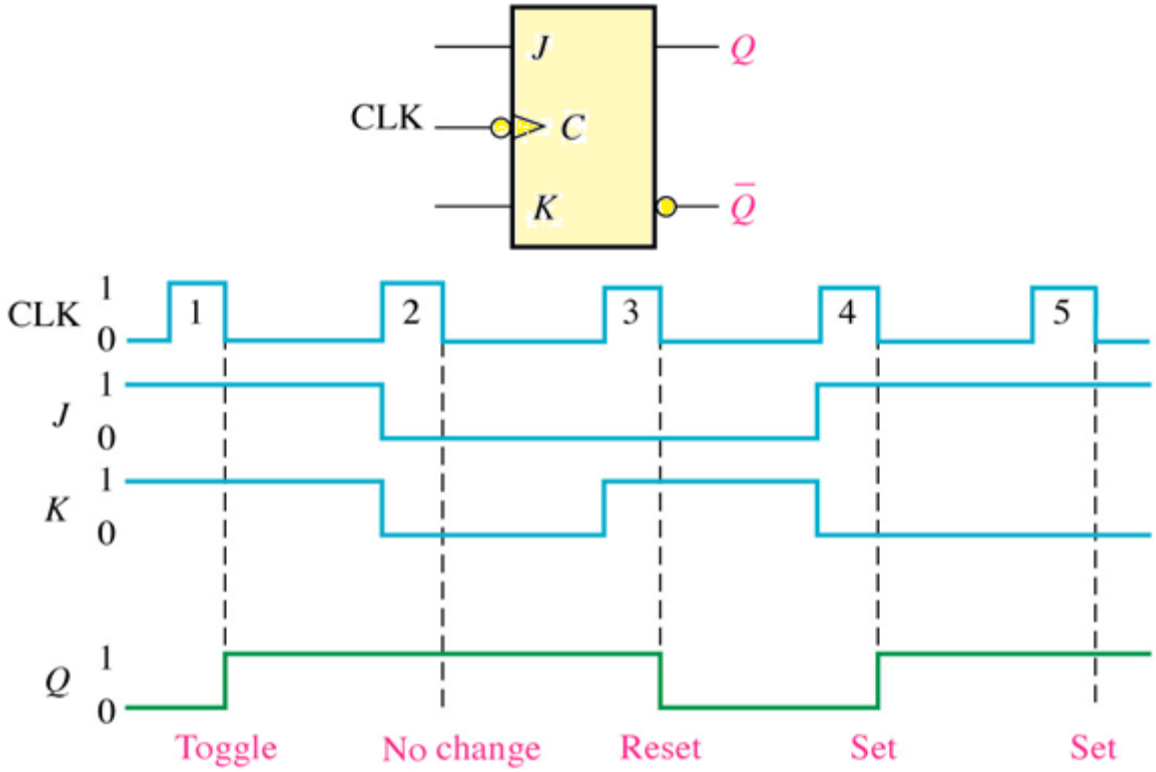
J=1 K=0 ⟹ D=1

J=0 K=1 ⟹ D=0

J=1 K=1 ⟹ D=Q’

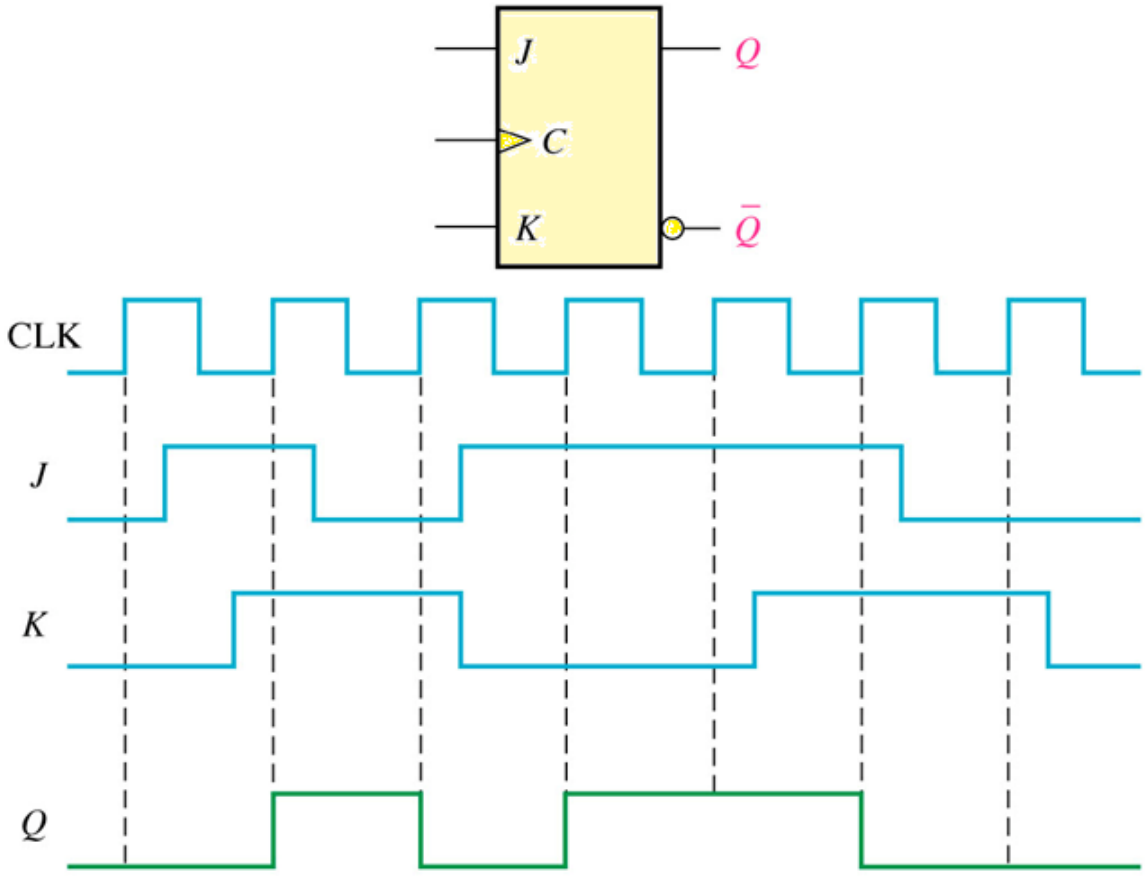
فلیپ‌فلاپ JK

✓ **بررسی عملکرد فلیپ‌فلاپ JK به کمک نمودار زمانی**

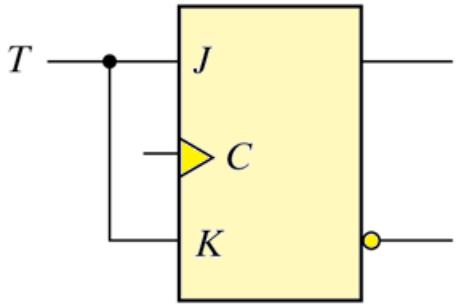


فلیپ فلاپ JK

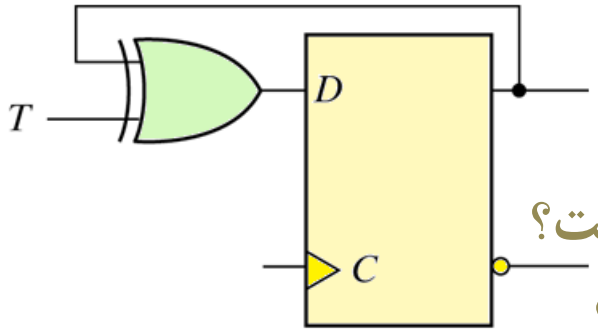
مثال: با تعیین خروجی فلیپ‌فلاپ، نمودار زمانی شکل زیر را تکمیل نمایید.



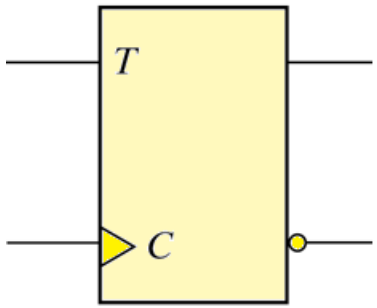
فلیپ فلاپ T



From *JK* flip-flop



From *D* flip-flop



Graphic symbol

- ✓ اصول عملکرد فلیپ‌فلاپ T
- ✓ فلیپ‌فلاپ T با استفاده از فلیپ‌فلاپ JK
- ✓ فلیپ‌فلاپ T با استفاده از فلیپ‌فلاپ D
- ✓ نماد فلیپ‌فلاپ T

آیا با فلیپ‌فلاپ JK می‌توان فلیپ‌فلاپ T ساخت؟

آیا با فلیپ‌فلاپ D می‌توان فلیپ‌فلاپ T ساخت؟

جدول مشخصه (characteristic Table)

J	K	Q(t+1)	
0	0	Q(t)	No change
0	1	0	Reset
1	0	1	Set
1	1	Q’(t)	Complement

✓ جدول مشخصه برای فلیپ فلاپ JK

D	Q(t+1)	
0	0	Reset
1	1	Set

✓ جدول مشخصه برای فلیپ فلاپ D

T	Q(t+1)	
0	Q(t)	No change
1	Q’(t)	Complement

✓ جدول مشخصه برای فلیپ فلاپ T

معادله‌ی مشخصه (characteristic Equation)

D Flip-Flop : $Q(t + 1) = D$

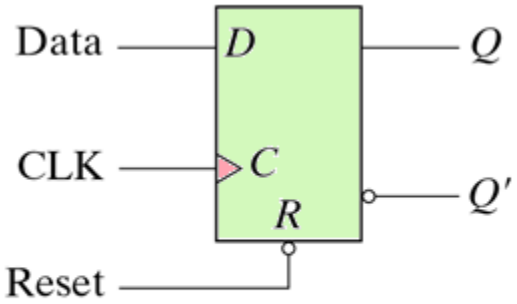
JK Flip-Flop : $Q(t + 1) = JQ' + K'Q$

T Flip-Flop : $Q(t + 1) = TQ' + T'Q$

ورودی‌های مستقیم (Direct Inputs)

- ✓ Set – Preset
- ✓ Reset – Clear

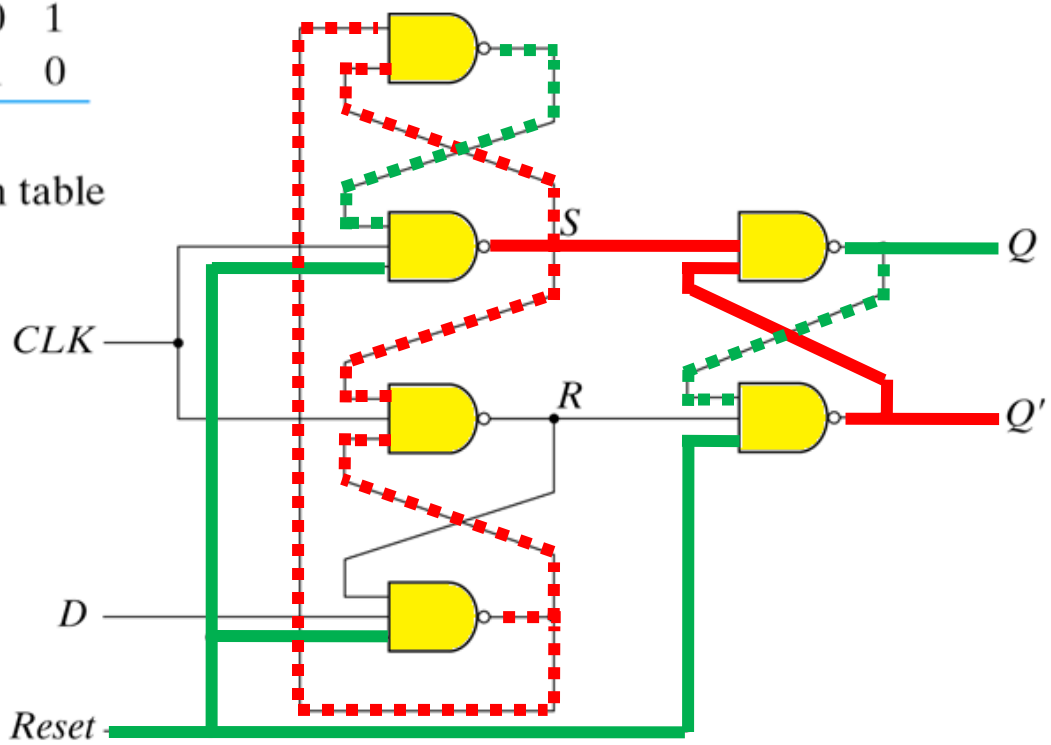
✓ ضرورت وجود ورودی مستقیم



(b) Graphic symbol

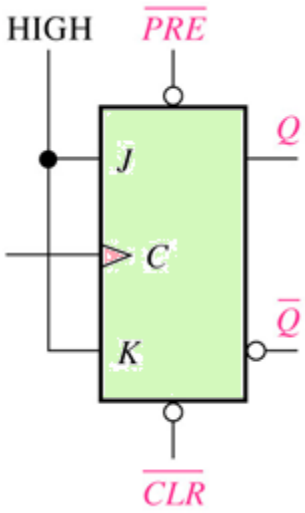
R	C	D	Q	Q′
0	X	X	0	1
1	↑	0	0	1
1	↑	1	1	0

(b) Function table

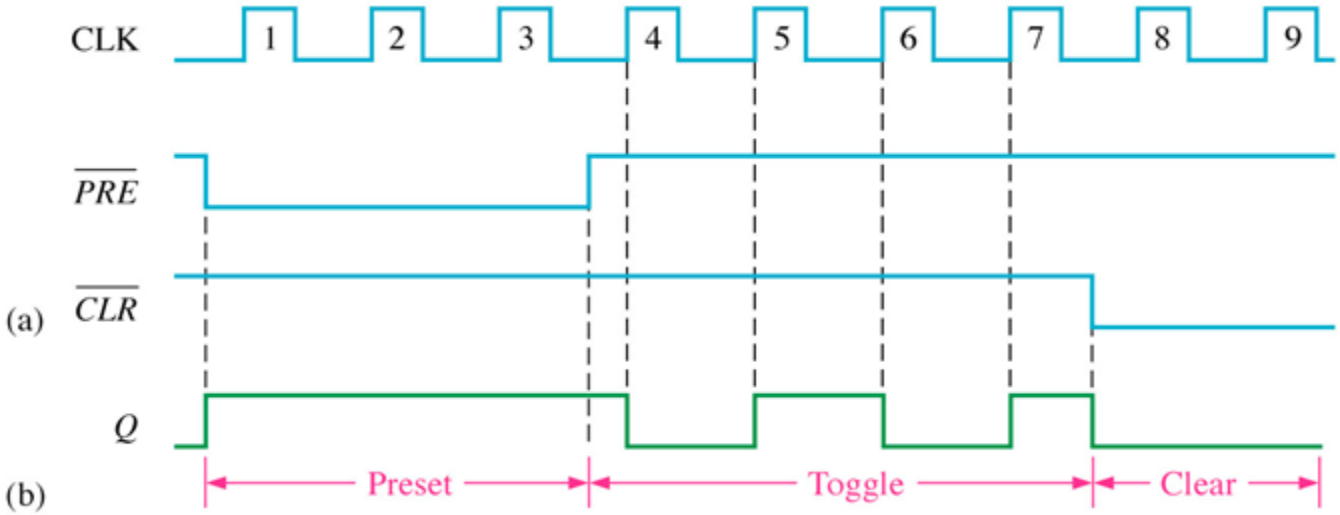


(a) Circuit diagram

ورودی‌های مستقیم (Direct Inputs)



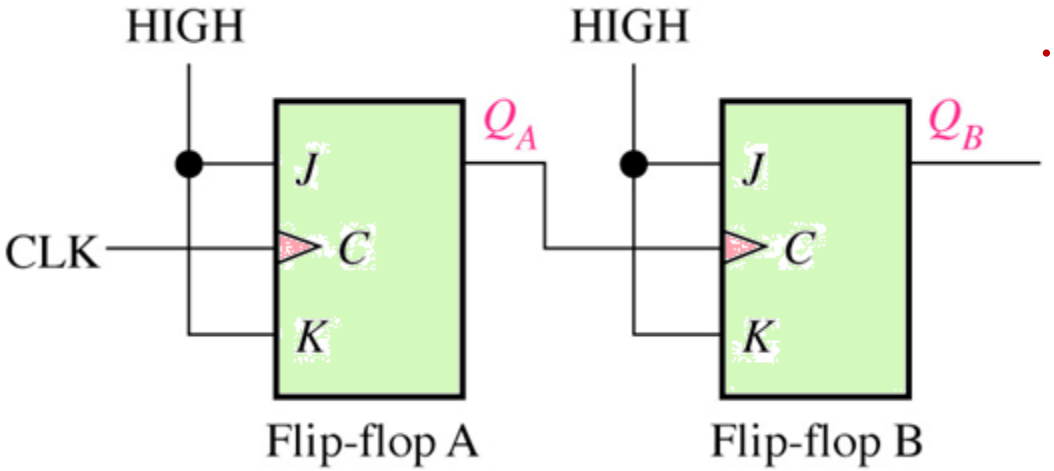
✓ بررسی ورودی‌های مستقیم فلیپ‌فلاپ به کمک نمودار زمانی

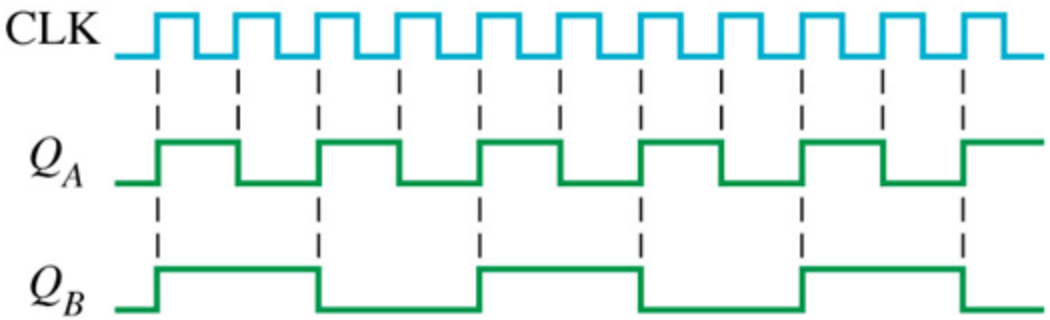


✓ چه ارتباطی بین فرکانس ورودی (پالس ساعت) و خروجی این مدار وجود دارد؟

مدارهای کاربردی: تقسیم‌کننده‌ی فرکانس (Frequency Divider)

مثال: مدار تقسیم‌کننده‌ی فرکانسی طراحی نمایید که موج مربعی ورودی را دریافت نموده و موج مربعی با فرکانس یک چهارم فرکانس ورودی تولید نماید. از فلیپ‌فلاپ JK استفاده نمایید.

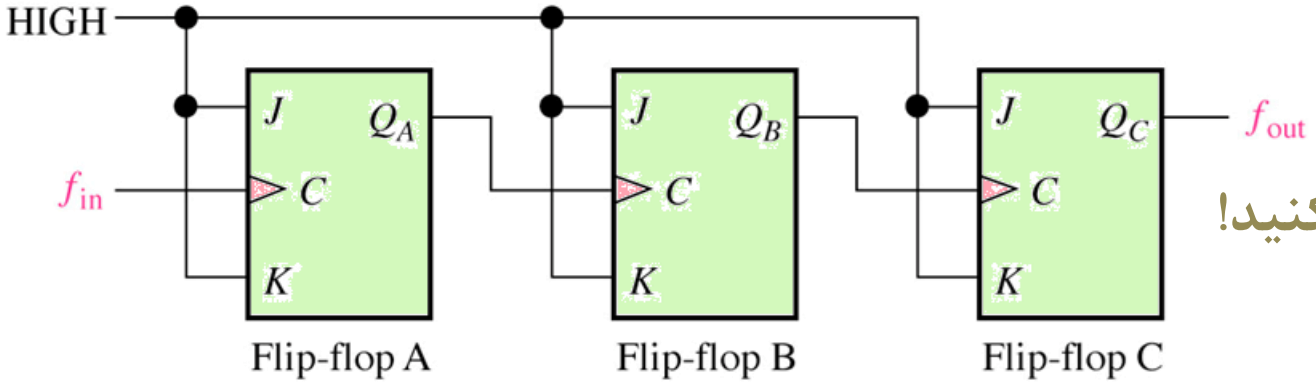


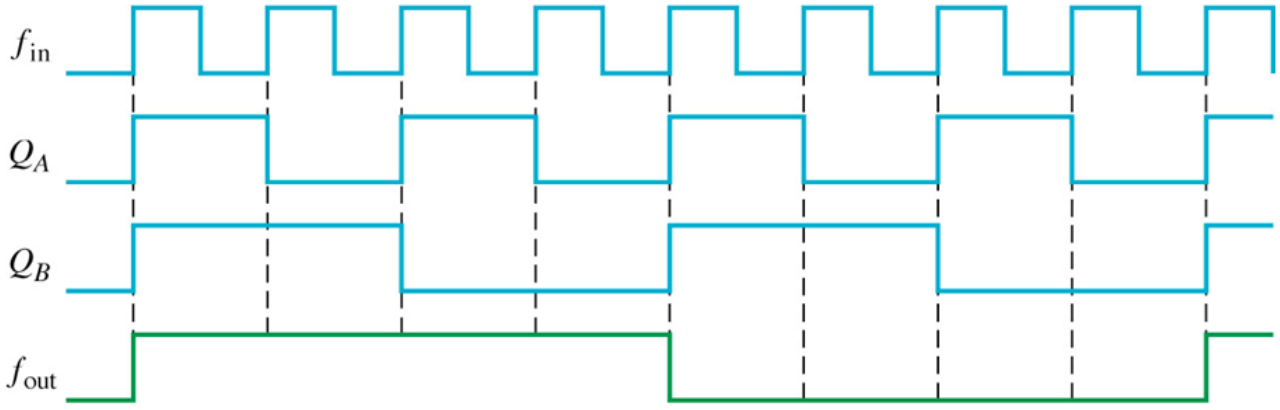


مدارهای کاربردی: تقسیم‌کننده‌ی فرکانس (Frequency Divider)

مثال: مدار تقسیم‌کننده‌ی فرکانسی طراحی نمایید که موج مربعی ورودی را دریافت نموده و موج مربعی با فرکانس یک هشتم فرکانس ورودی تولید نماید. از فلیپ‌فلاپ JK استفاده نمایید.

طراحی کنید!





فهرست مطالب

- ☑ مقدمه‌ای بر مدارهای ترتیبی
- ☑ عناصر ذخیره‌ساز
- ☑ لَچ‌ها
- ☑ فلیپ‌فلاپ‌ها
- ☐ تحلیل مدارهای ترتیبی ساعت‌دار
- ☐ ماشین حالت محدود
- ☐ کاهش و تخصیص حالت
- ☐ طراحی مدارهای ترتیبی همزمان
- ☐ مثال‌های طراحی

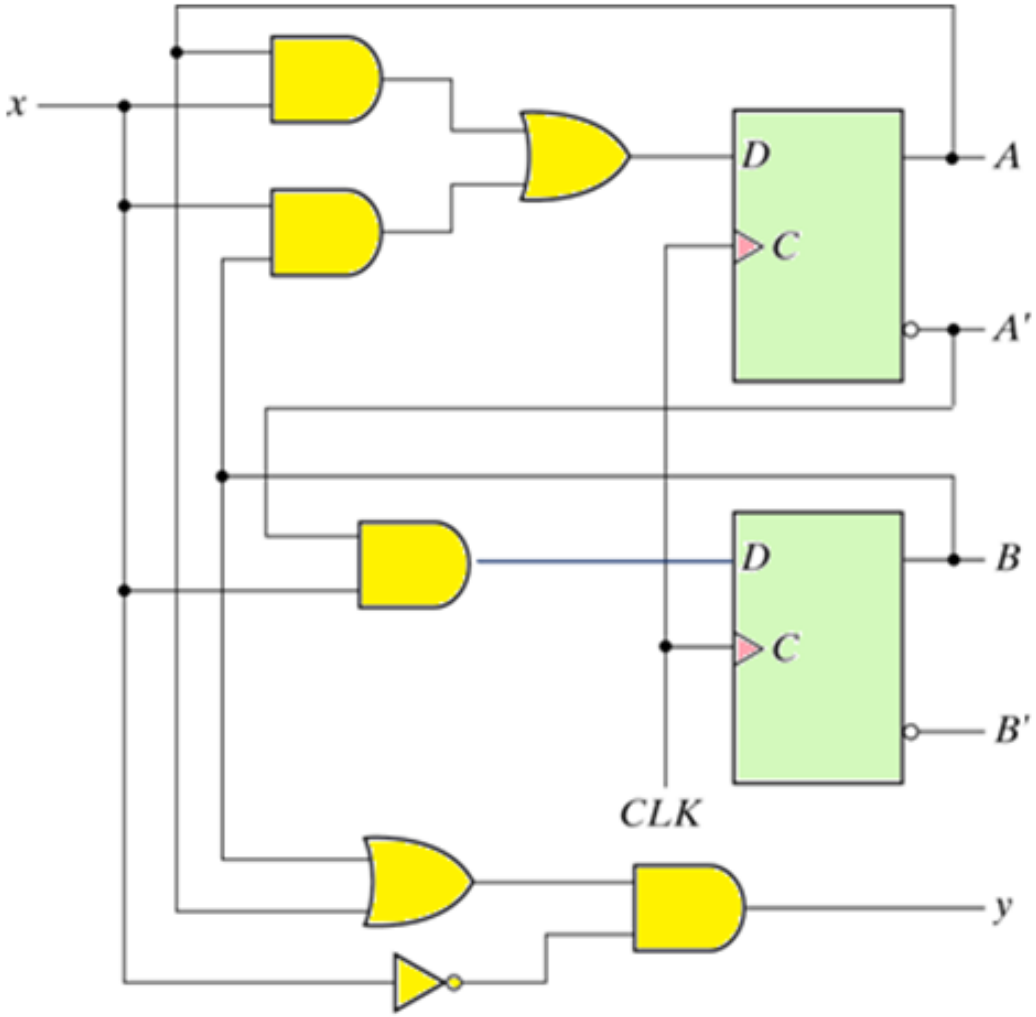
تحلیل مدارهای ترتیبی ساعت‌دار (Clocked Sequential Circuit)

- ✓ معادله‌های ورودی فلیپ‌فلاپ
- ✓ معادله‌های حالت
- ✓ جدول حالت
- ✓ نمودار حالت
- ✓ مثال: تحلیل مدارهای شامل فلیپ‌فلاپ D
- ✓ مثال: تحلیل مدارهای شامل فلیپ‌فلاپ JK
- ✓ مثال: تحلیل مدارهای شامل فلیپ‌فلاپ T
- ✓ ماشین حالت محدود Mealy و ماشین حالت محدود Moore

تحلیل مدارهای ترتیبی ساعت‌دار (Clocked Sequential Circuit)

معادله‌های ورودی فلیپ‌فلاپ (Flip-flop Input Equation):

مثال: معادله های ورودی فلیپ فلاپ را برای مدار ترتیبی همزمان زیر را بنویسید.



$D_A = Ax + Bx$

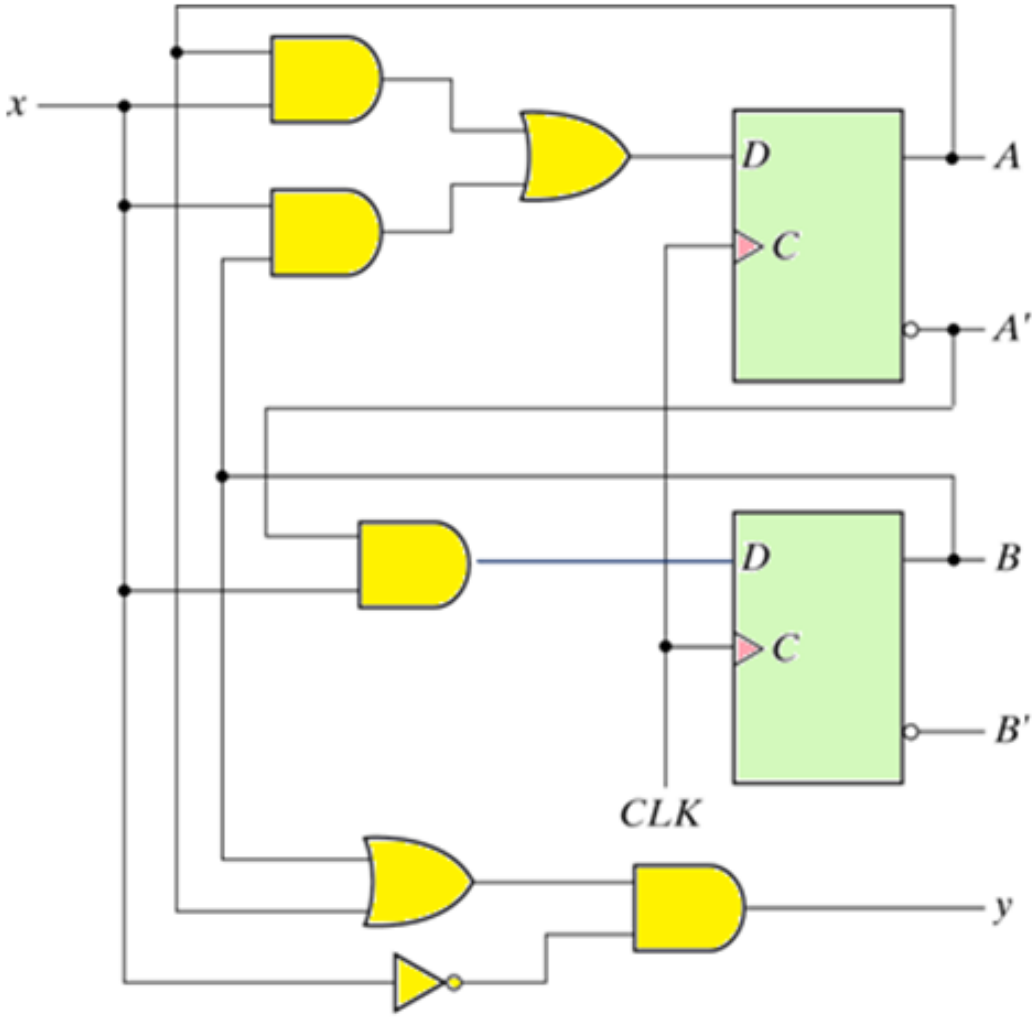
$D_B = A'x$

$y = (A + B)x'$

تحلیل مدارهای ترتیبی ساعت‌دار (Clocked Sequential Circuit)

معادله‌های حالت (State Equations):

مثال: معادله‌های حالت مدار ترتیبی همزمان زیر را بنویسید.



$$A(t+1) = A(t)\,x(t) + B(t)\,x(t)$$

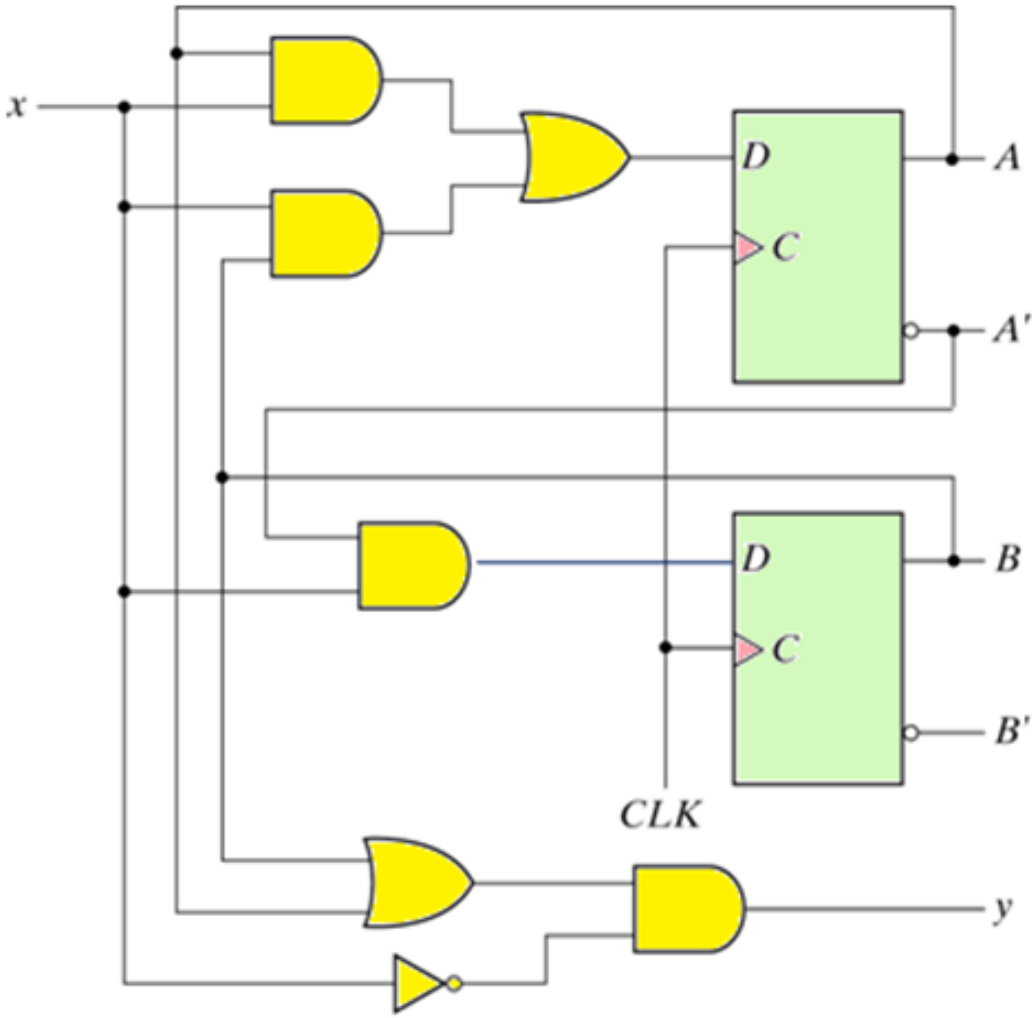
$$B(t+1) = A'(t)\,x(t)$$

$$y(t) = [A(t) + B(t)]\,x'(t)$$

تحلیل مدارهای ترتیبی ساعت‌دار (Clocked Sequential Circuit)

جدول حالت (State Table):

مثال: جدول حالت مدار ترتیبی همزمان زیر را بنویسید.

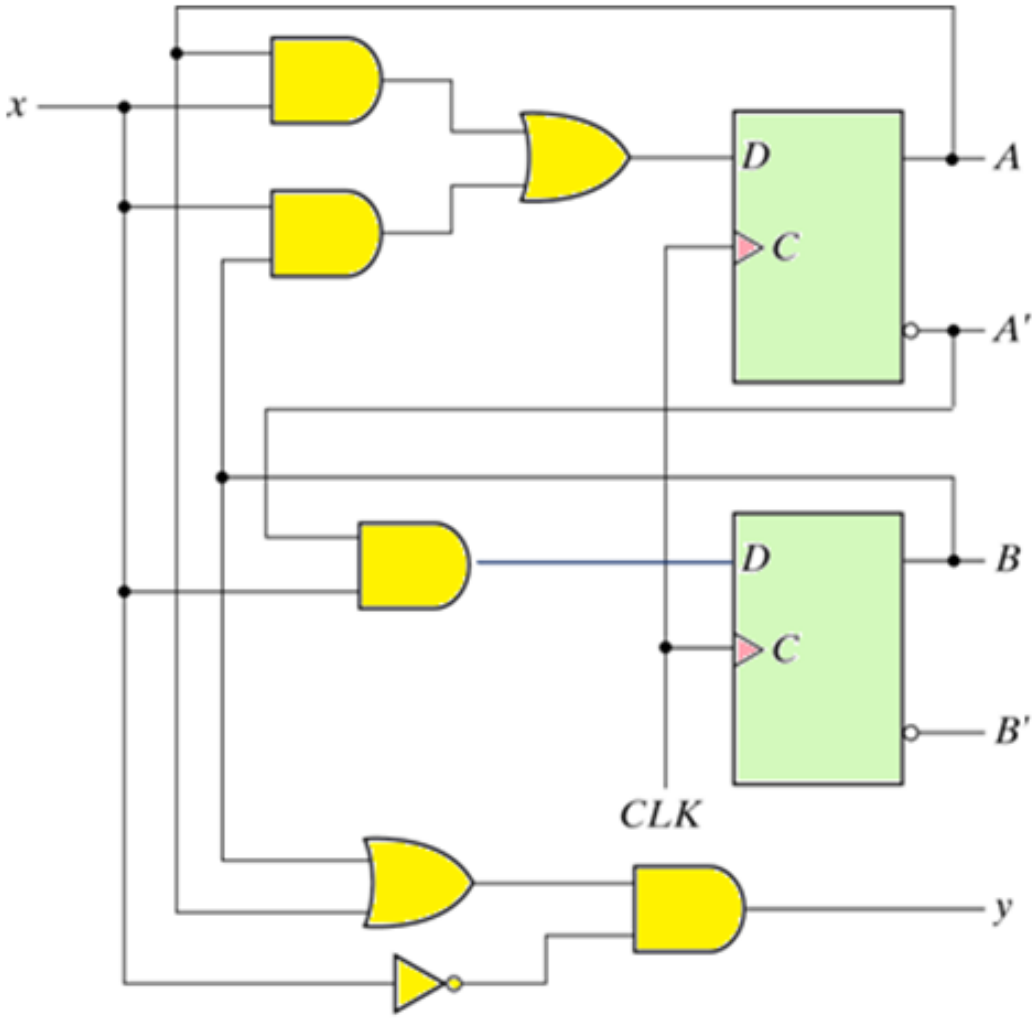


حالت فعلی	ورودی	حالت بعدی	خروجی
PS	Input	NS	Output
$A\ B$	x	$A\ B$	y
0 0	0	0 0	0
0 0	1	0 1	0
0 1	0	0 0	1
0 1	1	1 1	0
1 0	0	0 0	1
1 0	1	1 0	0
1 1	0	0 0	1
1 1	1	1 0	0

تحلیل مدارهای ترتیبی ساعت‌دار (Clocked Sequential Circuit)

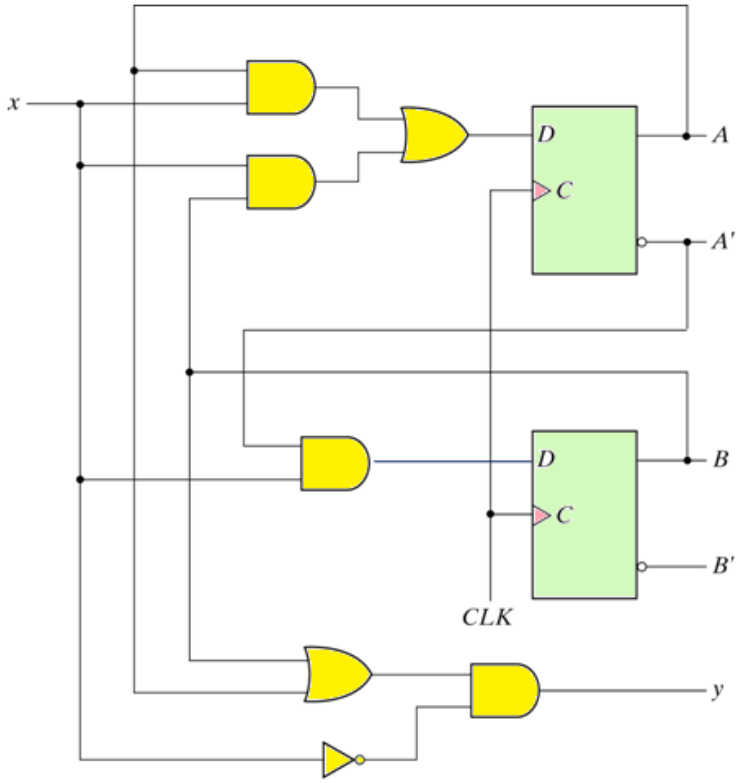
جدول حالت (State Table):

فرم نمایش دیگر:



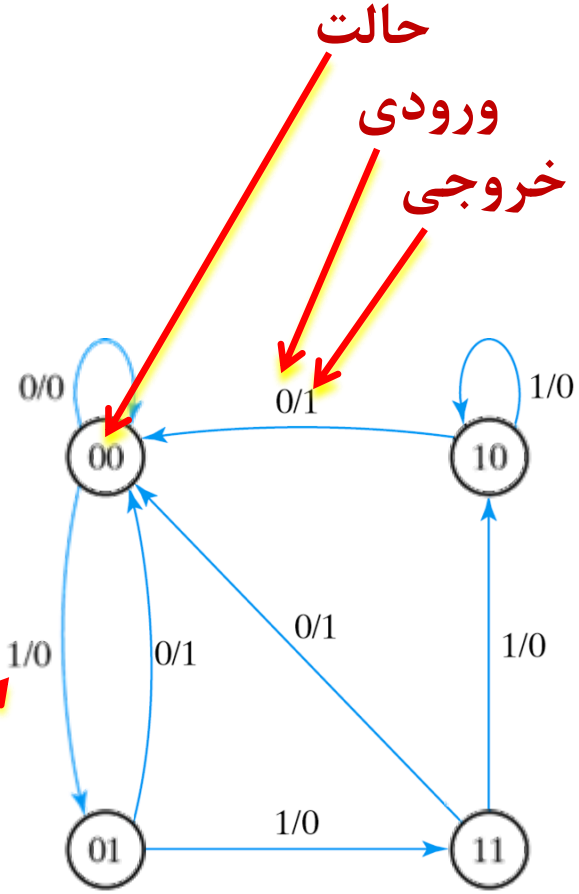
PS	NS		Output	
	$x=0$	$x=1$	$x=0$	$x=1$
AB	AB	AB	y	y
00	00	01	0	0
01	00	11	1	0
10	00	10	1	0
11	00	10	1	0

تحلیل مدارهای ترتیبی ساعت‌دار (Clocked Sequential Circuit)



PS	Input	NS	Output
$A\ B$	x	$A\ B$	y
0 0	0	0 0	0
0 0	1	0 1	0
0 1	0	0 0	1
0 1	1	1 1	0
1 0	0	0 0	1
1 0	1	1 0	0
1 1	0	0 0	1
1 1	1	1 0	0

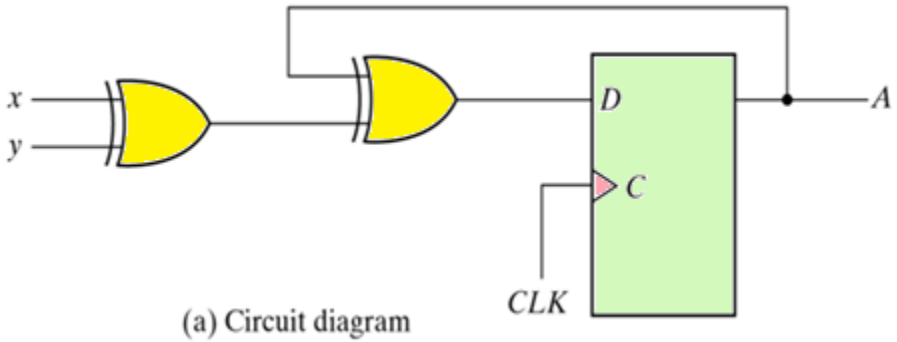
نمودار حالت (State Diagram):



این شیوه‌ی نمایش مربوط به شرایطی است که خروجی به ورودی نیز وابسته باشد.

تحلیل مدارهای شامل فلیپ‌فلاپ‌های D

- معادله‌ی ورودی و معادله‌ی حالت
- جدول حالت
- نمودار حالت



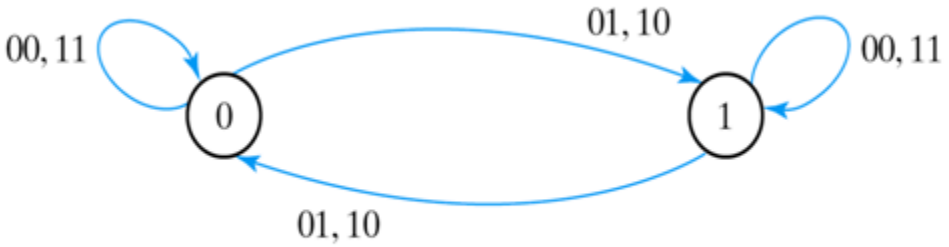
(a) Circuit diagram

Input equation: $D_A = A \oplus x \oplus y$

State Equation: $A(t+1) = A(t) \oplus x \oplus y$

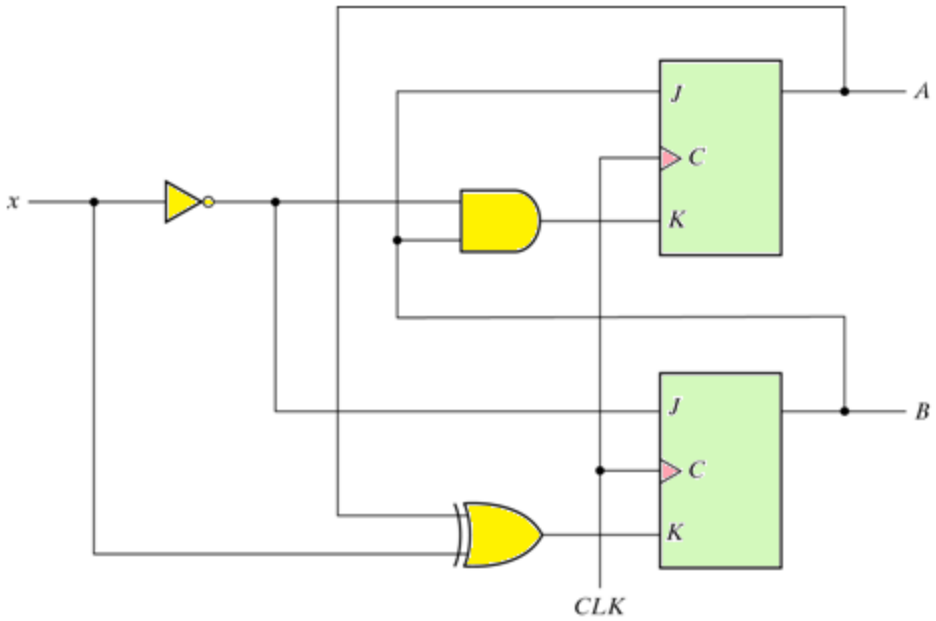
Present state	Inputs		Next state
A	x	y	A
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

(b) State table



(c) State diagram

تحلیل مدارهای شامل فلیپ‌فلاپ‌های JK



معادله‌های ورودی

جدول حالت

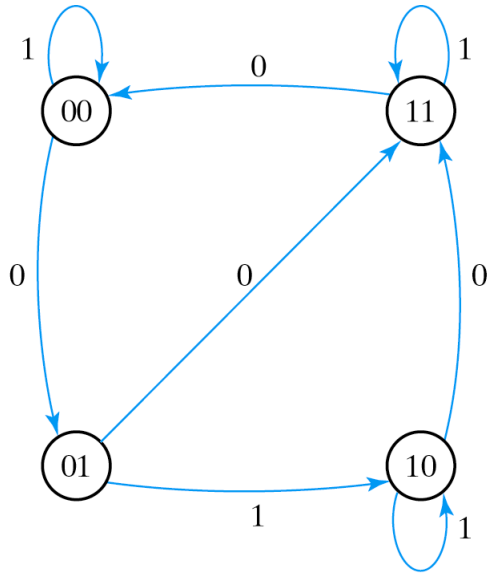
نمودار حالت

$J_A = B$

$K_A = Bx'$

$J_B = x'$

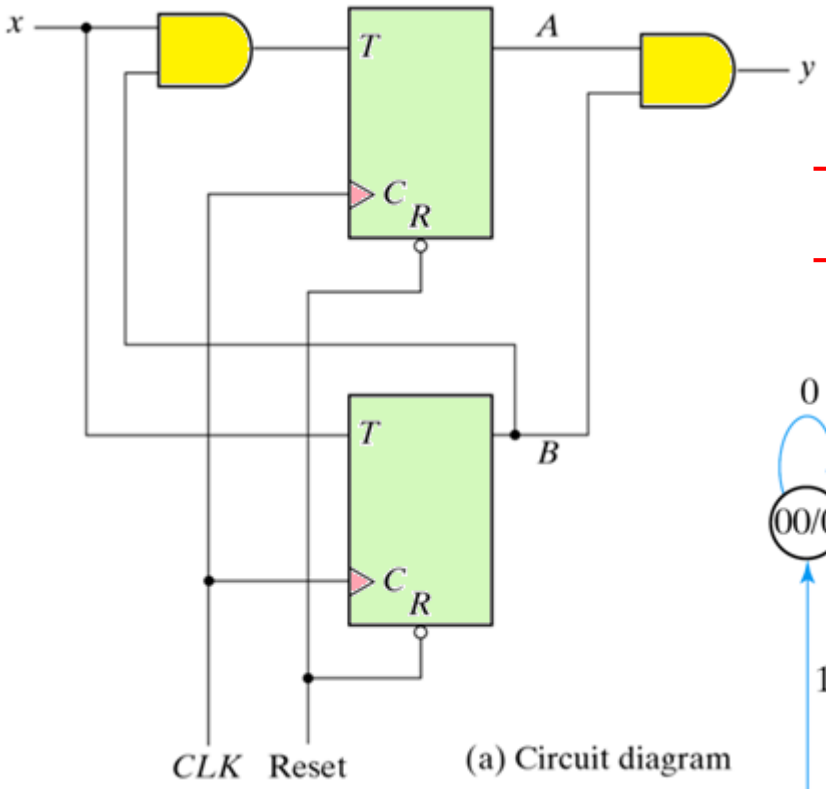
$K_B = A \oplus x$



Present state		Input	Next state		Flip-flop Inputs			
A	B	x	A	B	JA	KA	JB	KB
0	0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1
0	1	0	1	1	1	1	1	0
0	1	1	1	0	1	0	0	1
1	0	0	1	1	0	0	1	1
1	0	1	1	0	0	0	0	0
1	1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0	0

تحلیل مدارهای شامل فلیپ‌فلاپ‌های T

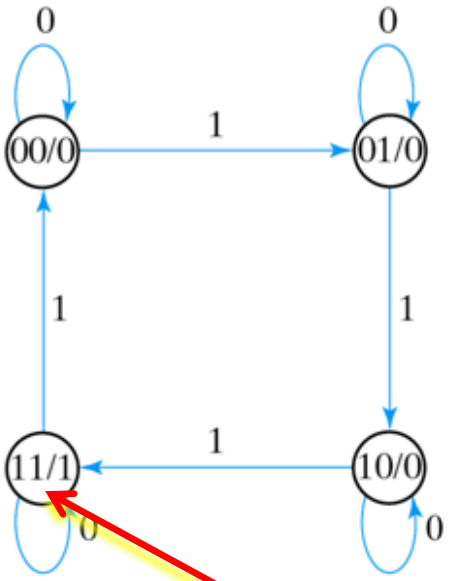
- معادله‌های ورودی
- جدول حالت
- نمودار حالت



(a) Circuit diagram

$T_A = Bx$

$T_B = x$



(b) State diagram

Present state		Input	Next state		Out
A	B	x	A	B	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	1	0	0
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	1

این شیوه‌ی نمایش مربوط به شرایطی است که خروجی تنها به حالت‌ها وابسته باشد.

فهرست مطالب

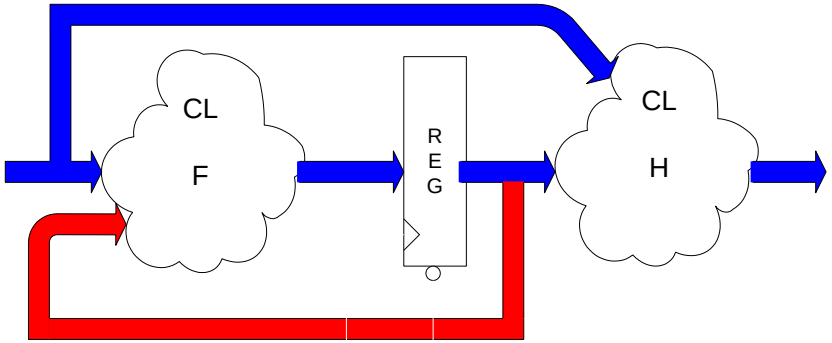
- ☑ مقدمه‌ای بر مدارهای ترتیبی
- ☑ عناصر ذخیره‌ساز
- ☑ لَچ‌ها
- ☑ فلیپ‌فلاپ‌ها
- ☑ تحلیل مدارهای ترتیبی ساعت‌دار
- ☐ ماشین حالت محدود
- ☐ کاهش و تخصیص حالت
- ☐ طراحی مدارهای ترتیبی همزمان
- ☐ مثال‌های طراحی

مدل‌های Mealy و Moore برای ماشین‌های حالت محدود

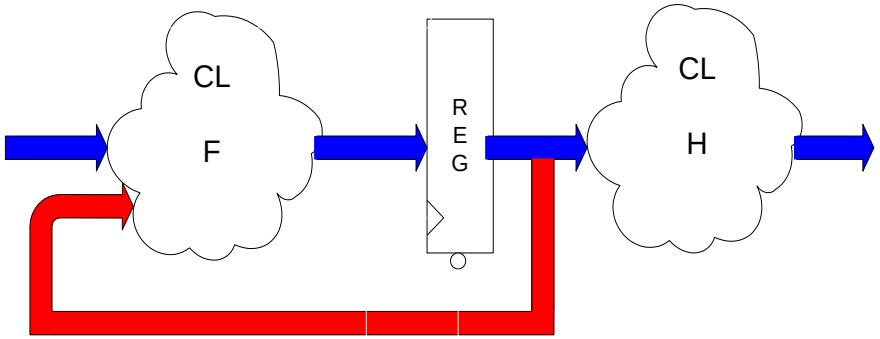
ماشین حالت محدود یا FSM (Finite State Machine)

ماشین حالت محدود Mealy

ماشین حالت محدود Moore



ماشین حالت محدود Mealy

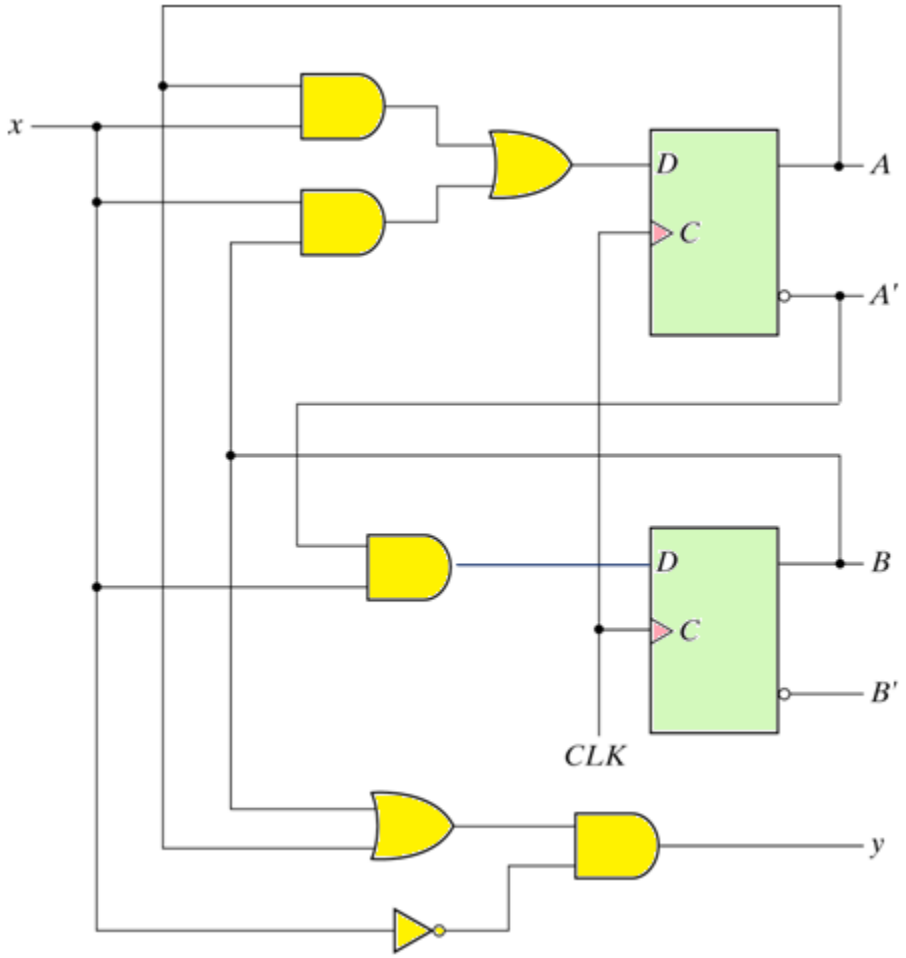


ماشین حالت محدود Moore

مدل Mealy-Moore

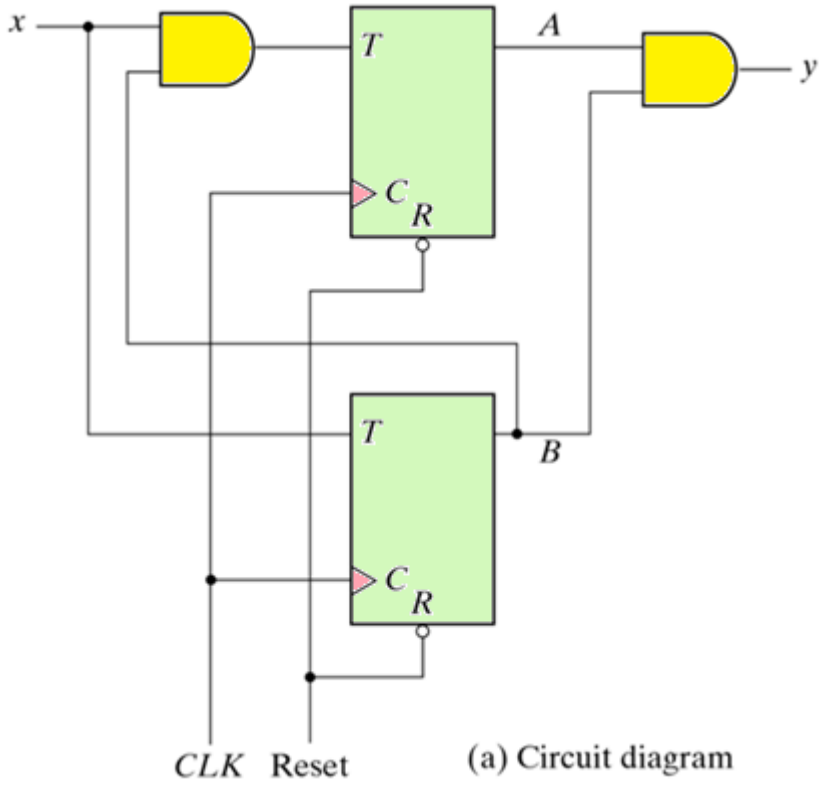
مدل‌های Mealy و Moore برای ماشین‌های حالت محدود

نمونه‌ای از ماشین حالت محدود Mealy ، که پیش‌تر مورد بحث قرار گرفت:



مدل‌های Mealy و Moore برای ماشین‌های حالت محدود

نمونه‌ای از ماشین حالت محدود Moore ، که پیش‌تر مورد بحث قرار گرفت:



(a) Circuit diagram

فهرست مطالب

- ☑ مقدمه‌ای بر مدارهای ترتیبی
- ☑ عناصر ذخیره‌ساز
- ☑ لَچ‌ها
- ☑ فلیپ‌فلاپ‌ها
- ☑ تحلیل مدارهای ترتیبی ساعت‌دار
- ☑ ماشین حالت محدود
- ☐ کاهش و تخصیص حالت
- ☐ طراحی مدارهای ترتیبی همزمان
- ☐ مثال‌های طراحی

طراحی مدارهای ترتیبی

مفهوم طراحی در مقایسه با تحلیل

مباحثی که در این بخش مطرح خواهد شد:

- **کاهش حالت**
- **تخصیص حالت**
- **روند طراحی**
- **مثال‌ها: طراحی آشکارساز دنباله (sequence detector)**
- **شمارنده‌ی باینری سه بیتی**
- **. . .**

کاهش حالت

ضرورت و اهمیت کاهش حالت:

روال کاهش حالت:

۱- درون جدول حالت، حالت‌های معادل را بیابید.
۲- یکی از حالت‌های معادل را حذف نمایید و بر این مبنا، محتوای جدول را بهنگام نمایید.
۳- روند را تا جایی ادامه دهید که دیگر هیچ دو حالت معادلی نتوان یافت.

توجه:

کاهش حالت را با استفاده از نمودار حالت نیز می‌توان انجام داد ولی انجام این کار با استفاده از جدول حالت ساده‌تر است.

مثال کاهش حالت

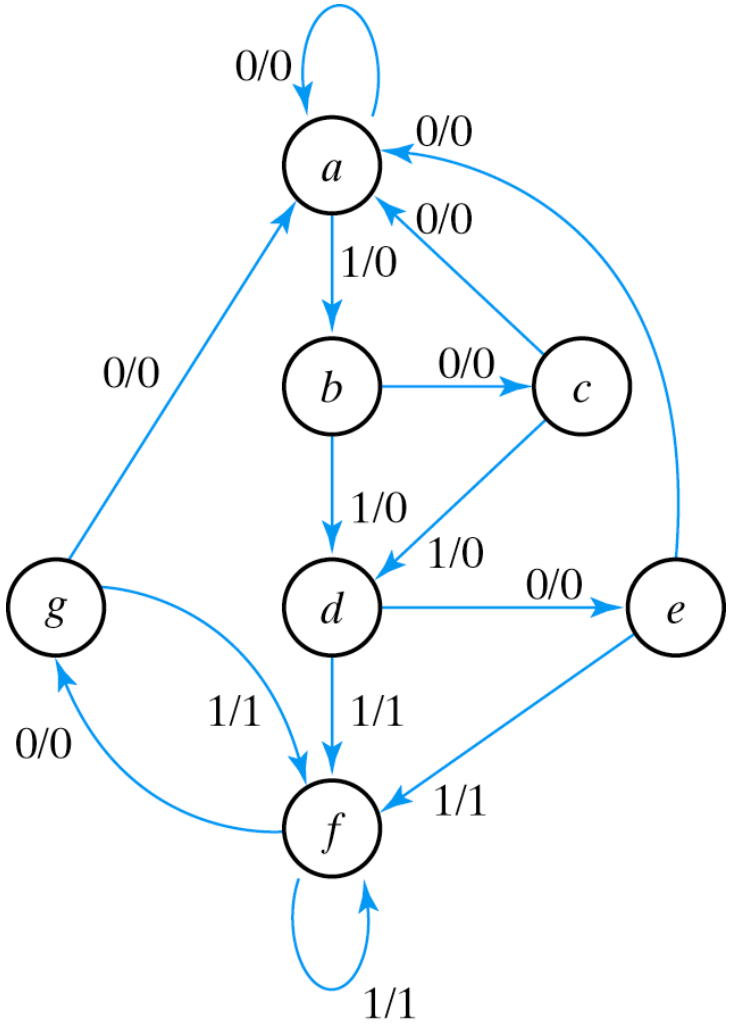
مدار ترتیبی را در نظر بگیرید که با نمودار حالت زیر توصیف شده است.

چرا حالت‌ها با حروف مشخص شده‌اند؟

در این مدار، تنها رشته ی ورودی- خروجی اهمیت دارد.

به عنوان مثال می خواهیم با شروع از حالت a ،خروجی مدار را در پاسخ به رشته ی ورودی زیر به دست آوریم.

01010110100

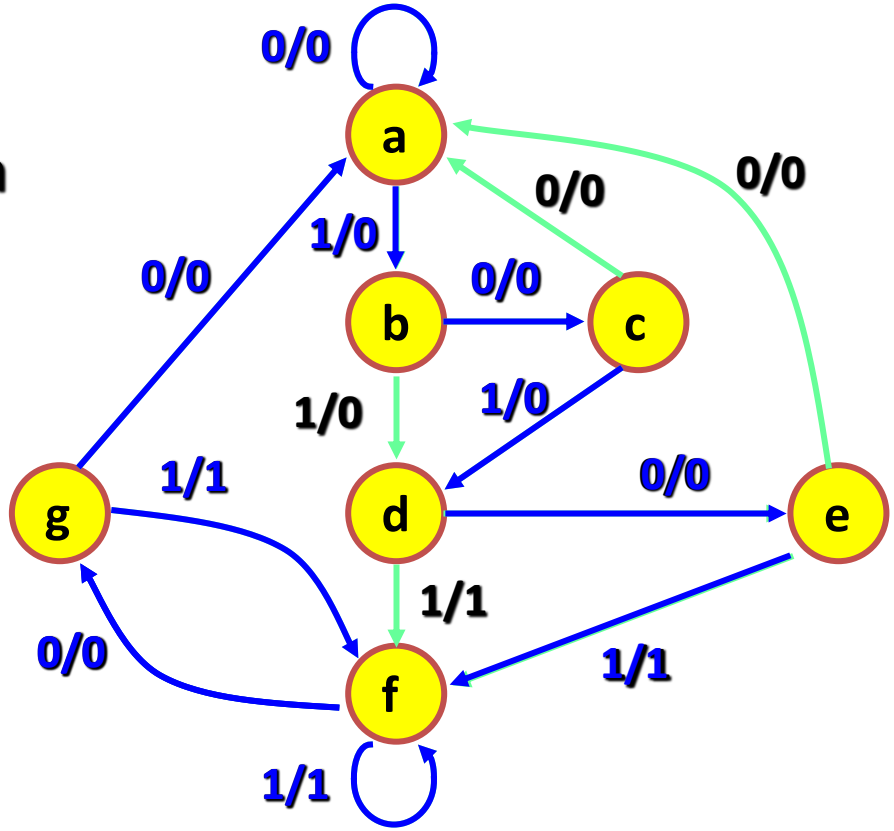


مثال کاهش حالت

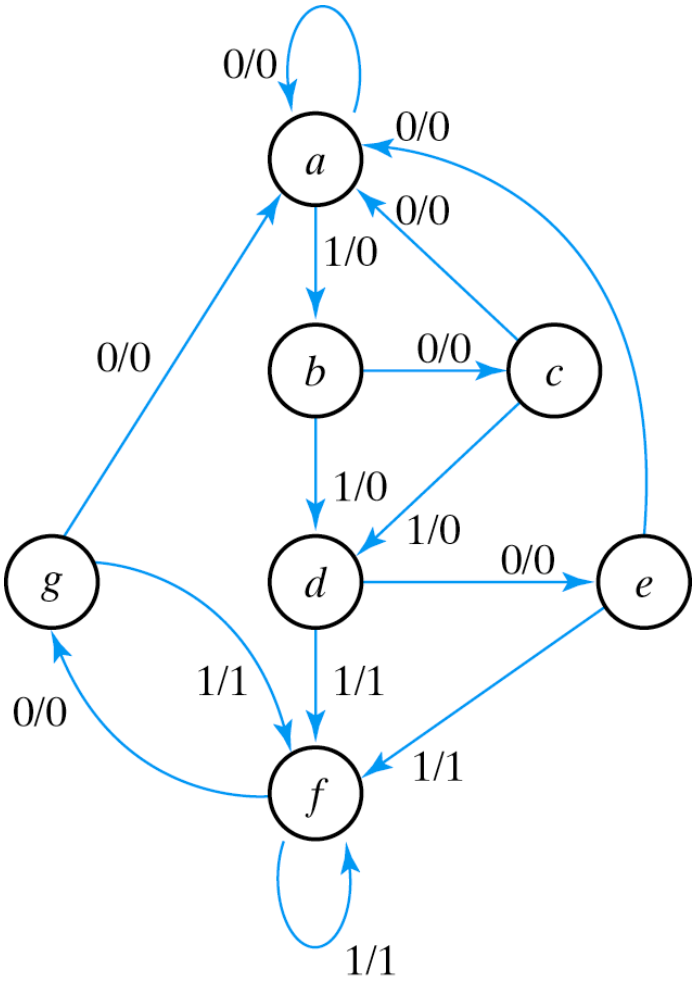
به عنوان مثال می خواهیم با شروع از حالت a ،خروجی مدار را در پاسخ به رشته ی ورودی زیر به دست آوریم.

01010110100

state	a	a	b	c	d	e	f	f	g	f	g	a
input	0	1	0	1	0	1	1	0	1	0	0	
output	0	0	0	0	0	1	1	0	1	0	0	



مثال کاهش حالت



جدول حالت:

Present state	Next state		Output	
	x=0	x=1	x=0	x=1
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	f	0	1
e	a	f	0	1
f	g	f	0	1
g	a	f	0	1

مثال کاهش حالت

یافتن حالت‌های معادل:

حالت های معادل حالت‌هایی هستند که به ازای **هر** ورودی یکسان، خروجی یکسانی ایجاد نمایند و حالت بعدی نیز **یکسان** یا **معادل** باشد.

Present state	Next state		Output	
	x=0	x=1	x=0	x=1
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	f / d	0	1
e	a	f / d	0	1
~~f~~	~~g~~ / e	f	0	1
~~g~~	a	f	0	1

d, f equivalent

e, g equivalent

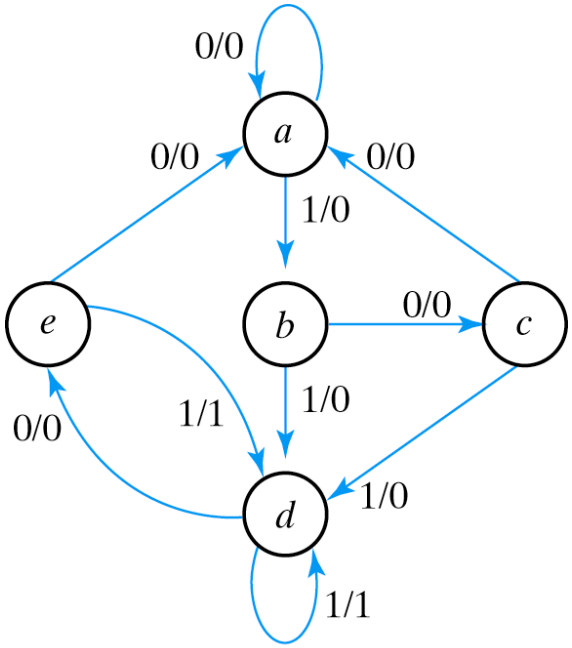
مثال کاهش حالت

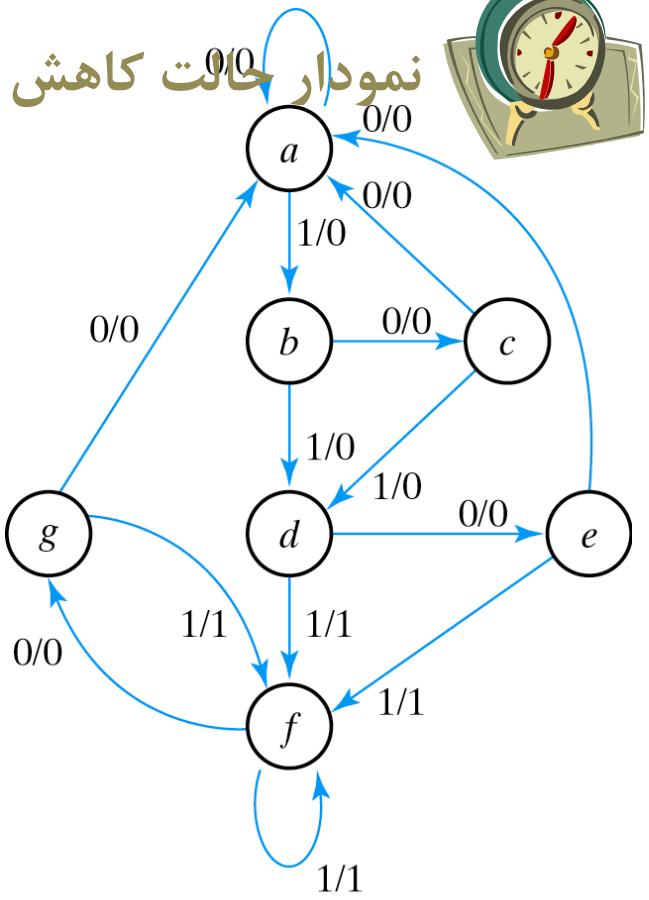
جدول حالت کاهش یافته:

Present state	Next state		Output	
	x=0	x=1	x=0	x=1
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	d	0	1
e	a	d	0	1

نمودار حالت کاهش یافته:

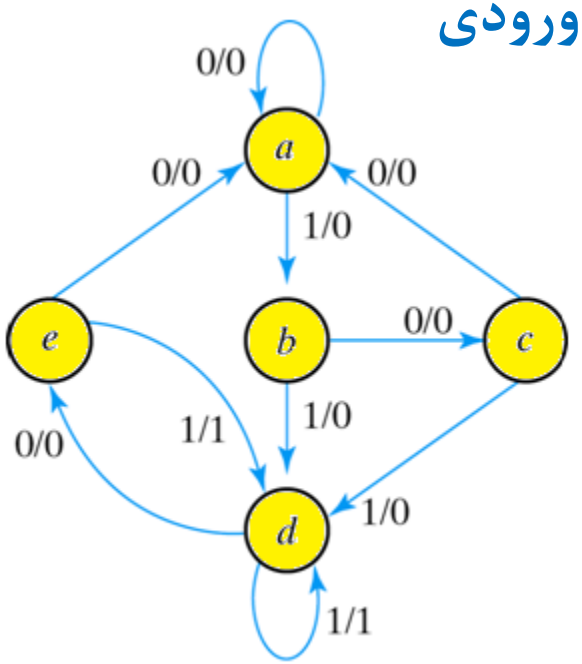
نمودار حالت کاهش یافته را رسم کنید.



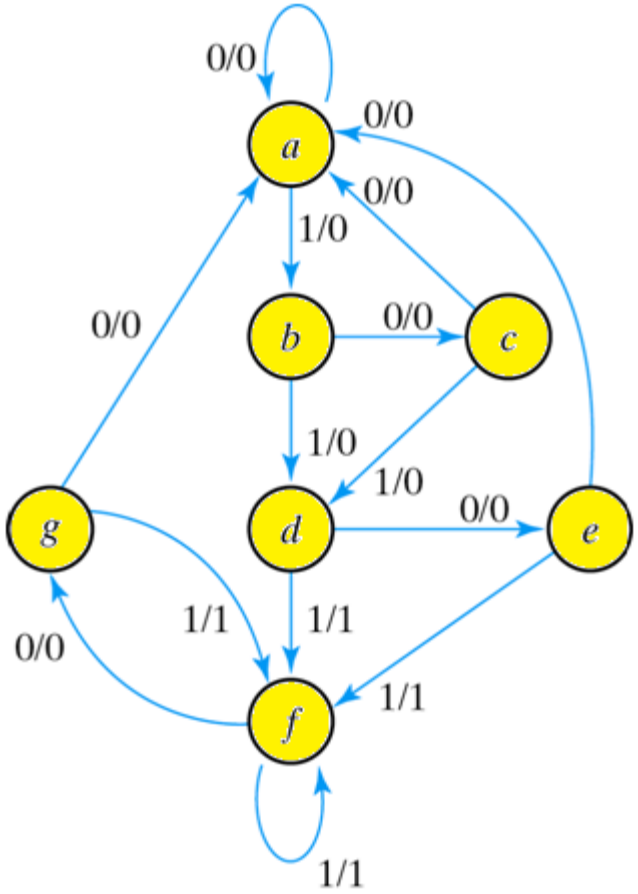


مثال کاهش حالت

پاسخ متناظر با نمودار حالت کاهش یافته به دنباله‌ی ورودی



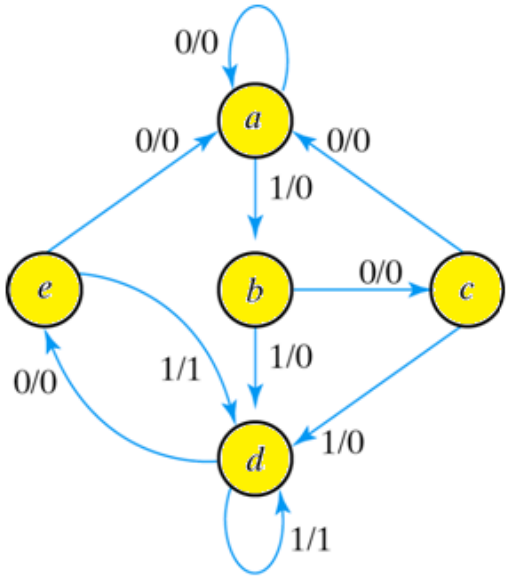
State:	a	a	b	c	d	e	d	d	e	d	e	a
Input:	0	1	0	1	0	1	1	0	1	0	0	
Output:	0	0	0	0	0	1	1	0	1	0	0	



State:	a	a	b	c	d	e	f	f	g	f	g	a
Input:	0	1	0	1	0	1	1	0	1	0	0	
Output:	0	0	0	0	0	1	1	0	1	0	0	

تخصیص حالت

برای طراحی یک مدار ترتیبی با استفاده از قطعات فیزیکی، لازم است کدهای باینری به حالت‌ها تخصیص یابد.



طرح مورد بررسی دارای ۵ حالت است. حداقل تعداد بیت‌های لازم برای تخصیص کد چقدر است؟

باینری تنها گزینه برای تخصیص کد نیست!

Binary Gray One-hot

State	Assignment1	Assignment2	Assignment3
a	000	000	00001
b	001	001	00010
c	010	011	00100
d	011	010	01000
e	100	110	10000

تخصیص حالت

تخصیص کدهای باینری به حالت‌های طرح کاهش حالت یافته‌ی مثال قبل:

Present state	Next state		Output	
	x=0	x=1	x=0	x=1
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	d	0	1
e	a	d	0	1

Present state	Next state		Output	
	x=0	x=1	x=0	x=1
000	000	001	0	0
001	010	011	0	0
010	000	011	0	0
011	100	011	0	1
100	000	011	0	1

فهرست مطالب

- ☑ مقدمه‌ای بر مدارهای ترتیبی
- ☑ عناصر ذخیره‌ساز
- ☑ لَچ‌ها
- ☑ فلیپ‌فلاپ‌ها
- ☑ تحلیل مدارهای ترتیبی ساعت‌دار
- ☑ ماشین حالت محدود
- ☑ کاهش و تخصیص حالت
- ☐ طراحی مدارهای ترتیبی همزمان
- ☐ مثال‌های طراحی

روال طراحی

روال طراحی:

۱- نمودار حالت و جدول حالت طرح را رسم کنید.

۲- در صورت نیاز، حالت‌ها را کاهش دهید.

۳- به حالت‌ها، مقدار باینری تخصیص دهید.

۴- جدول حالت را با مقادیر باینری اختصاص یافته به حالت‌ها بهنگام نمایید.

۵- نوع فلیپ‌فلاپ را تعیین کنید.

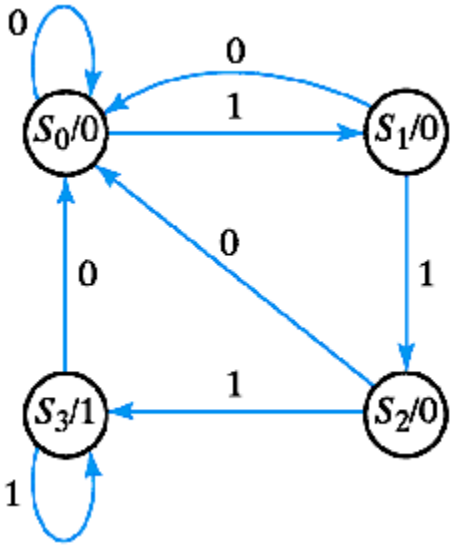
۶- در صورت نیاز، ستون‌های ورودی فلیپ‌فلاپ را به جدول حالت اضافه نمایید.

۷- با استفاده از نقشه، معادله‌های ورودی فلیپ‌فلاپ‌ها و خروجی‌ها را به دست آورید.

۸- شماتیک طرح را رسم کنید.

مثال طراحی: آشکارساز دنباله

مثال: می‌خواهیم مداری طراحی کنیم که سه یک پشت سر هم را در دنباله‌ی ورودی تشخیص دهد. طراحی بر اساس فلیپ‌فلاپ D انجام گردد.

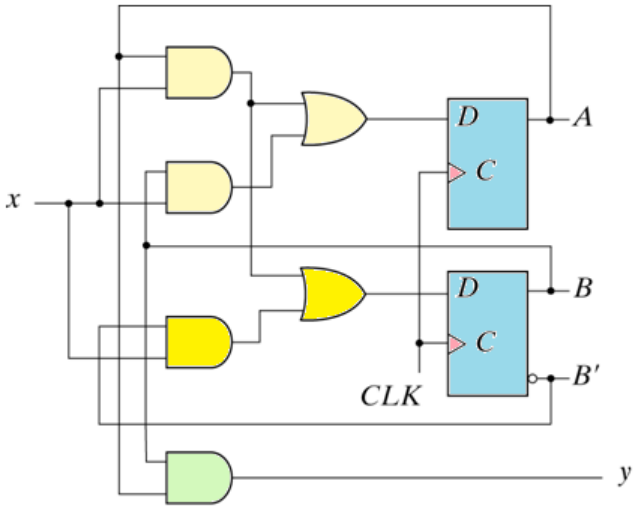


نمودار حالت طرح را رسم کنید.

نمودار حالت نشانگر مدل ؟ Moore است یا مدل Mealy

$S_0 = 00$
$S_1 = 01$
$S_2 = 10$
$S_3 = 11$

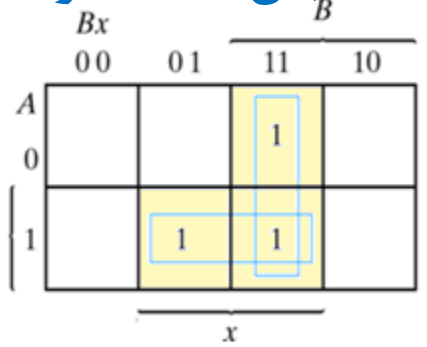
P State		Input	N State		Output
A	B	x	A	B	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	1

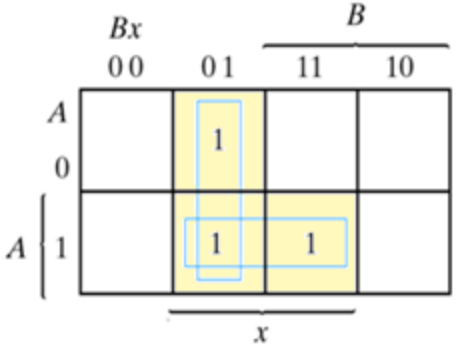


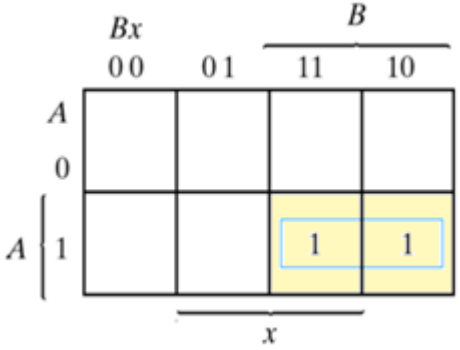
$D_A = Ax + Bx$

$D_B = Ax + B'x$

$y = AB$







جدول تحریک فلیپ‌فلاپ‌ها

جدول تحریک فلیپ‌فلاپ:

جدولی که ورودی‌های مورد نیاز برای تغییر حالت خواسته شده را تعیین می‌کند.

جدول تحریک چه تفاوتی با جدول حالت دارد؟

RS flip-flop

Q(t)	Q(t+1)	S	R
0	0	0	x
0	1	1	0
1	0	0	1
1	1	x	0

D flip-flop

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

JK flip-flop

Q(t)	Q(t+1)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

T flip-flop

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

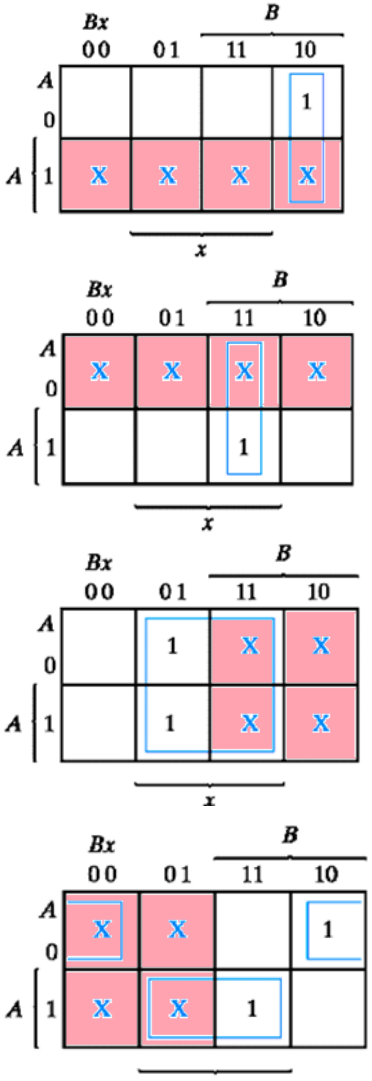
فهرست مطالب

- ☑ مقدمه‌ای بر مدارهای ترتیبی
- ☑ عناصر ذخیره‌ساز
- ☑ لَچ‌ها
- ☑ فلیپ‌فلاپ‌ها
- ☑ تحلیل مدارهای ترتیبی ساعت‌دار
- ☑ ماشین حالت محدود
- ☑ کاهش و تخصیص حالت
- ☑ طراحی مدارهای ترتیبی همزمان
- ☐ مثال‌های طراحی

مثال طراحی: سنتز با استفاده از فلیپ‌فلاپ JK

مثال: جدول حالت مداری ترتیبی داده شده است. طرح را با استفاده از فلیپ‌فلاپ JK سنتز نمایید (یا به عبارت دیگر، مدار را با استفاده از فلیپ‌فلاپ JK طراحی نمایید).

PS		Input	NS		Flip-Flop Inputs			
A	B	x	A	B	J_A	K_A	J_B	K_B
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1



JK flip-flop

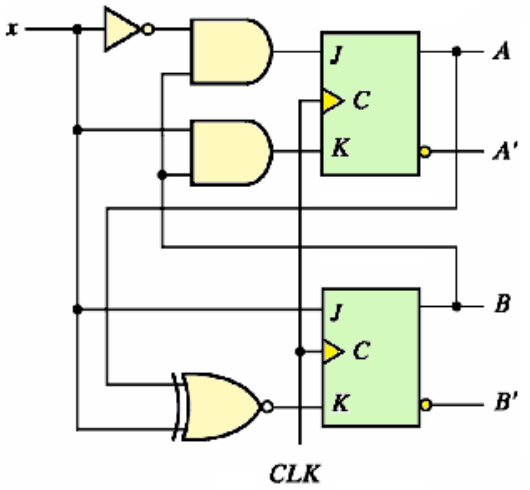
Q(t)	Q(t+1)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

$J_A = Bx'$

$K_A = Bx$

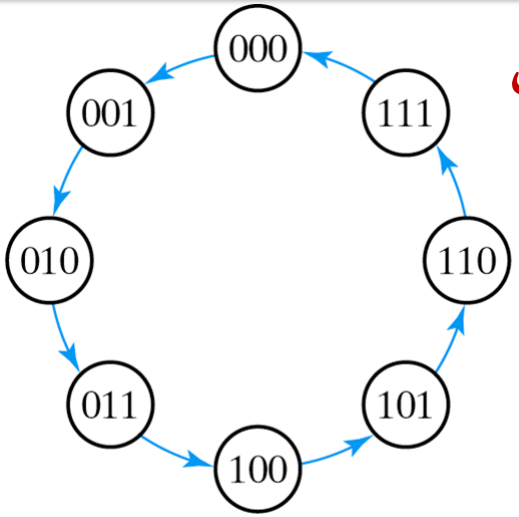
$J_B = x$

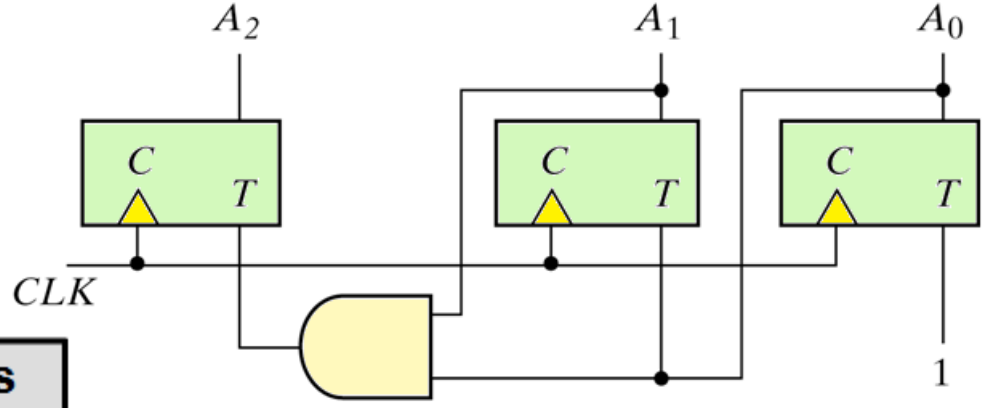
$K_B = (A \oplus x)'$



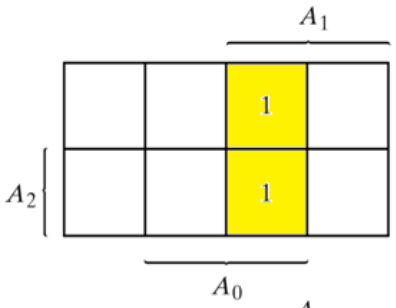
مثال طراحی: سنتز با استفاده از فلیپ‌فلاپ T

مثال: با استفاده از فلیپ‌فلاپ T یک شمارنده‌ی باینری ۳ بیتی طراحی نمایید.





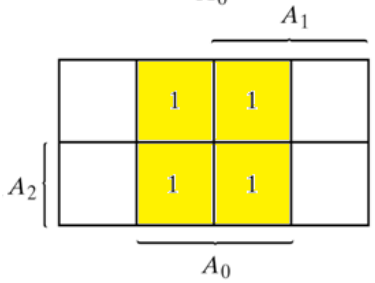
Present State			Next State			FF Inputs		
A_2	A_1	A_0	A_2	A_1	A_0	T_{A2}	T_{A1}	T_{A0}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1

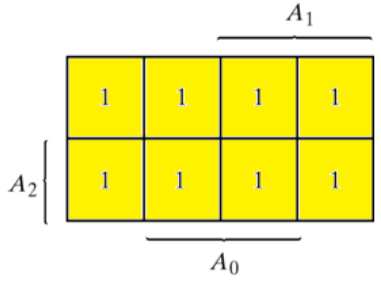


$T_{A2} = A_1A_0$

$T_{A1} = A_0$

$T_{A0} = 1$





فهرست مطالب

- مقدمه‌ای بر مدارهای ترتیبی
- عناصر ذخیره‌ساز
- لَچ‌ها
- فلیپ‌فلاپ‌ها
- تحلیل مدارهای ترتیبی ساعت‌دار
- ماشین حالت محدود
- کاهش و تخصیص حالت
- طراحی مدارهای ترتیبی همزمان
- مثال‌های طراحی